

# Del 8: Effektforbruk og statisk CMOS

YNGVAR BERG

## I. INNHOLD

TR ansistormodellen utvides med en modell for strøm i svak inversjon, dvs. når gate source spenningen er lavere enn terskelspenningen. Lekasjemodeller for pn-overganger introduseres og lekasje mellom gate og kanal diskuteres. Effektforbruk, både statisk- dynamisk- og kortslutningeffekt blir gjennomgått. En rekke CMOS logikk stiler blir gjennomgått. Pseudo nMOS, ganged CMOS og source følger opptrekslogikk (SFPL) har alle signifikant statisk effektforbruk avhengig av inngangsmønstre. Kaskode spenning svitsj logikk (CVSL) har ikke signifikant statisk effektforbruk. Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Svak inversjon.* Kapittel 2.4.4 side 88 - 89.
3. *Lekasje i pn-overganger.* Kapittel 2.4.5 side 89 - 90.
4. *Tunnelering.* Kapittel 2.4.6 side 90.
5. *Introduksjon til effektforbruk.* Kapittel 4.4 side 187 - 188.
6. *Statisk effektforbruk.* Kapittel 4.4.1 side 188 - 190.
7. *Dynamisk effektforbruk.* Kapittel 6.2.2.1 side 190 - 191.
8. *Pseudo nMOS.* Kapittel 6.2.2.1 side 327 - 330.
9. *Ganged CMOS.* Kapittel 6.2.2.2 side 330 - 331.
10. *Source følger opptrekslogikk.* Kapittel 6.2.2.3 side 331.
11. *Kaskode spenning Svitsj logikk.* Kapittel 6.2.3 side 331 - 332.

## II. SVAK INVERSJON (Kapittel 2.4.4 side 88 - 89)

De enkle transistormodellene som vi har benyttet hittil modellerer strømmen gjennom transistoren lik 0 når gate source spenningen er lavere enn terskelspenningen. I virkligheten er det ikke en skarp overgang fra ingen kanal til full kanal. Når det er etablert en kanal sier vi at transistoren opererer i *sterk inversjon* og de modellene som vi kjenner kan brukes. Når gate source spenningen er vesentlig mindre enn terskelspenningen er det vanlig å modellere transistorstrømmen som:

$$I_{ds} = I_{ds0} e^{\frac{V_{gs}-V_t}{n v_T}} \left( 1 - e^{\frac{-V_{ds}}{v_T}} \right), \quad (1)$$

der  $n$  er *slope faktor* og

$$I_{ds0} = \beta v_T^2 e^{1.8}. \quad (2)$$

Som vi ser av modellen vil det være en eksponensiell økning i strømmen for økning i gate sourcespenning. Det er viktig å huske på at selv om strømmen stiger kraftig i dette området som kalles *svak inversjon*, så er strømmen svært liten<sup>1</sup>. I noen analoge kretser der det ikke er strenge krav til høy hastighet kan transistorer benyttes i svak inversjon. Liten strøm gir liten effekt som i noen analoge kretser er en stor fordel. Overgangen mellom svak og sterk inversjon kalles *moderat inversjon*. En annen ting som det er verdt å merke seg er at det vil gå en liten strøm gjennom transistoren selv om den er skrudd av.

<sup>1</sup>I svak inversjon er strømmen typisk i området fra pA til noen nA, selvom strømmen kan være vesentlig større dersom bredde/lengde forholdet er meget stort.

Området rett under terskelspenningen, dvs. moderat inversjon eller *subterskel*, er mer aktuelt som følge av at korte transistorer med en høy drain source spenning får redusert effektiv terskelspenning. Denne effekten kalles *Drain-induced barrier lowering* (DIBL). DIBL modelleres som

$$V_t' = V_t - \eta V_{ds}, \quad (3)$$

der  $\eta$  er DIBL koeffisient med verdi i området 0.02 til 0.1.

### A. Mål

Kunne modellere transistor i svak inversjon og kunne modellere drain-induced barrier lowering (DIBL).

### B. Oppgaver

Oppgave 2.11.

### C. Notater

### III. LEKASJE I PN-OVERGANGER (Kapittel 2.4.5 side 89 - 90)

\* Reversforspente dioder (pn-overganger). (FYS1210)

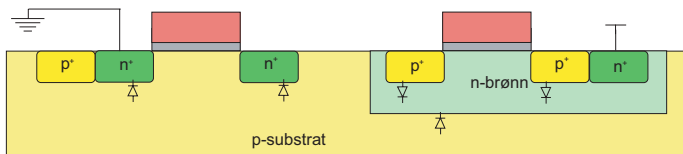


Fig. 1. Revers forspent dioder i CMOS kretser. (FIG2.19)

I pn-overgangene mellom diffusjon og substrat eller brønn vil det oppstå reversforspente dioder som vist i figur 1. I tillegg er det dioder mellom brønn og substrat. Diodestrøm for reversforspente diode er gitt av:

$$I_D = I_S \left( e^{\frac{V_D}{v_T}} - 1 \right), \quad (4)$$

der  $I_S$  er avhengig av dopenivå, areal og omkrets på diffusjonsområdet, og diode spenning  $V_D$  som er gitt av  $V_{sb}$  eller  $V_{db}$ .

Når reversforspenningen er vesentlig høyere enn  $v_T$  (termisk spenning) vil reversstrømmen være lik  $I_S$  som typisk ligger i området 0.1 til  $0.01 \text{ fA}/\mu\text{m}^2$ .

Historisk var lekkasje i pn-overganger den begrensende faktor for lagring av spenning i dynamiske noder. I moderne CMOS prosesser med lav terskelspenning er transistorstrømmer i svak inversjon langt viktigere som begrensende faktor.

#### A. Mål

Kunne modellere lekkasje i reversforspente pn-overganger (dioder).

#### B. Oppgaver

Oppgave 2.8.

#### C. Notater

### IV. TUNNELERING (Kapittel 2.4.6 side 90)

Det er en viss sannsynlighet for at ladningsbærere vil tunnelere gjennom gateoksid (tynnoksid). Denne sannsynligheten avtar eksponentielt med tykkelsen på gateoksidet ( $t_{ox}$ ) og har inntil nylig vært neglisjerbar.

For prosesser med gateoksid tynnere enn  $20 \text{ \AA}$  vil tunneleringsstrøm bli en vesentlig faktor og sammenlignbar med transistorstrømmer i svak inversjon.

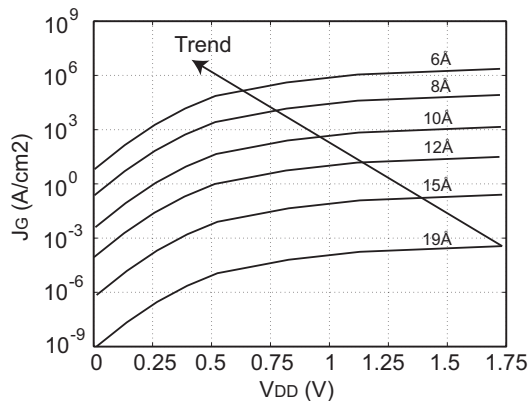


Fig. 2. Lekasje gjennom gateoksid. (FIG2.20)

Gate lekkasje eller strømtetthet  $J_G$  i gjennom gateoksid er vist i figur 2 for forskjellige tykkelser på gateoksidet. Gatestrøm vil ikke bare påvirke dynamiske noder, men også øke effektforbruket. Hvert atomlag i silisiumdioksid er på ca.  $3 \text{ \AA}$ , og man antar derfor at den nedre grense for tykkelsen på gateoksid er ca.  $8 \text{ \AA}$ . Det jobbes med å utvikle en bedre isolator med høyere permittivitet.

Tunneleringsstrømmen er en orden høyere for nMOS transistorer enn for pMOS transistorer.

#### A. Mål

Etablere en oversikt over tunneleringsstrøm i moderne CMOS prosesser med tynt gateoksid.

#### B. Notater

## V. INTRODUKSJON TIL EFFEKTFORBRUK

(Kapittel 4.4 side 187 - 188)

Statisk eller komplementær CMOS porter er svært effektive med hensyn på effektforbruk fordi når utgangen på en port har stabilisert seg til enten 1 eller 0 så går det nesten ikke strøm gjennom transistorene. dette betyr at effektforbruket er tilnærmet lik 0 når utgangen er stabil. Historisk har effektforbruk vært mindre viktig enn hastighet og arealforbruk for en krets. For moderne CMOS prosesser, der antall transistorer og porter er svært høyt og klokkefrekvensen øker, er effektforbruk stadig viktigere.

Vi kan definere *effektforbruk* som trekkes fra spenningsforsyningen  $V_{DD}$  som:

$$P(t) = i_{DD}(t) \cdot V_{DD}, \quad (5)$$

der  $i_{DD}$  er strømmen som trekkes fra spenningsforsyningen.

Energiforbruket over en tidsperiode  $T$  kan modelleres ved å integrere effektforbruket:

$$E = \int_0^T i_{DD}(t) \cdot V_{DD} dt. \quad (6)$$

Gjennomsnittelig effektforbruk over dette intervallet er gitt av:

$$\begin{aligned} P_{avg} &= \frac{E}{T} \\ &= \frac{1}{T} \int_0^T i_{DD}(t) \cdot V_{DD} dt. \end{aligned} \quad (7)$$

Det er to hovedkomponenter i effektforbruk:

- *Statisk effektforbruk.*
  - Svak inversjonsstrøm i transistorer som er skrudd av.
  - Tunneleringsstrøm gjennom gate oksid (tynnoksid).
  - Lekasje i reversforspente dioder (pn-overganger).
  - Strøm i transistorer som skal overstyres av andre transistorer, i for eksempel pseudo nMOS logikk.
- *Dynamisk effektforbruk.*
  - Opp- og utlading av kapasitanser.
  - Kortslutningsstrøm i korte tidsperioder når både opp- og nedtrekk er PÅ.

### A. Mål

Forstå enkle modeller for effektforbruk og grunnleggende forskjeller på statisk- og dynamisk effektforbruk.

### B. Notater

## VI. STATISK EFFEKTFORBRUK

(Kapittel 4.4.1 side 188 - 190)

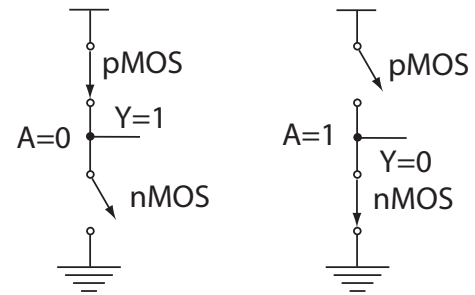


Fig. 3. Statisk effektforbruk i en CMOS inverter. (FIG4.26)

En komplementær eller statisk inverter er vist i figur 3. Når inngangen er 0 vil pMOS transistoren være på og nMOS transistorene være AV, og utgangen vil være høy (1). Når inngangen er 1 vil pMOS transistoren være av og nMOS transistoren være på, og dermed vil utgangen være lav. Dette er stabile tistander for en CMOS port og ideelt vil det da ikke gå strøm mellom  $V_{DD}$  og  $GND$ . En transistor som er skrudd AV vil alikevel levere noe strøm som er gitt av modellen for transistorstrøm i svak inversjon med  $V_{gs} = 0$ :

$$I_{statisk} = I_{ds0} e^{\frac{-V_t}{n v_T}} \left( 1 - e^{\frac{-V_{DD}}{v_T}} \right), \quad (8)$$

der  $n$  er slope faktor og

$$I_{ds0} = \beta v_T^2 e^{1.8}. \quad (9)$$

Som vi ser er den statiske strømmen som går gjennom en transistor som er skrudd av eksponensielt avhengig av terskelspenningen. Etterhvert som teknologien utvikles vil terskelspenningen bli redusert og dermed blir statisk strøm økt. Det *statiske effektforbruket* kan da modelleres som:

$$P_{statisk} = I_{statisk} V_{DD}. \quad (10)$$

Som en konsekvens av stadig tynnere gateoksid vil det for moderne CMOS prosesser med tynnere gateoksid enn 20Å være en lekkasje mellom kanal og gate gjennom gateoksidet som består av isolatoren silisiumdioksid. Denne tunnerlingen som kalles gate lekkasje er merkbart for CMOS prosesser fra gatelengder lik 130nm og under.

I tillegg vil det være en liten lekkasje i pn-overganger, særlig mellom diffusjonsområder og substrat eller brønn. I moderne prosesser er denne lekkasjen mindre enn lekkasjestrømmer i transistorer. Det er derfor vanlig å neglisjere denne lekkasjeeffekten.

Noen logikkstiler, som for eksempel pseudo nMOS, vil ha et betydelig innslag av statisk effektforbruk.

### A. Mål

Kunne modellere statisk effektforbruk, med lekkasjestrømmer via transistor som er skrudd AV, gate lekkasje og lekkasje i pn-overganger.

### B. Notater

## VII. DYNAMISK EFFEKTFORBRUK

(Kapittel 6.2.2.1 side 190 - 191)

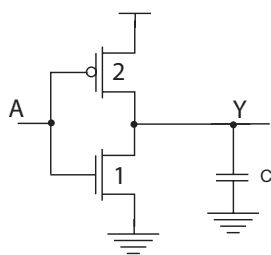


Fig. 4. CMOS inverter med last.

Den viktigste komponenten i *dynamisk effektforbruk* er opp- og utlading av kapasitanser. Inverteren som er vist i figur 4 er et eksempel på en komplementær port som skal drive utgangen representert som en last i form av en kapasitans  $C$ . Utgangskapasitansen skal kunne trekkes opp til 1 via pMOS transistoren og ned til 0 via nMOS transistoren. Vi kan anta at porten svitsjer mellom 0 og 1 med en gjennomsnittelig frekvens  $f_{sw}$ . Over et tidsintervall  $T$  vil lasten bli ladet opp og ut  $Tf_{sw}$  ganger. Strømmen fra pMOS transistoren vil lade opp lasten og lasten vil lades ut via nMOS transistoren. En lade opp/lade ut sykel kan betraktes som en flytting av ladningen  $Q = C \cdot V_{DD}$  fra  $V_{DD}$  til  $GND$ .

Gjennomsnittelig dynamisk effektforbruk kan modelleres som:

$$\begin{aligned} P_{dynamisk} &= \frac{1}{T} \int_0^T i_{DD}(t) \cdot V_{DD} dt \\ &= \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt. \end{aligned} \quad (11)$$

Integralet over tidsperioden  $T$  gir:

$$\begin{aligned} P_{dynamisk} &= \frac{V_{DD}}{T} [Tf_{sw}CV_{DD}] \\ &= CV_{DD}^2 f_{sw}. \end{aligned} \quad (12)$$

De fleste porter svitsjer ikke i hver klokkeperiode. Det er derfor vanlig å ta hensyn til aktiviteten til porten med modellen:

$$P_{dynamisk} = \alpha CV_{DD}^2 f, \quad (13)$$

der  $\alpha$  er *aktivitetsfaktor*. Klokkesignaler svitsjer i hver klokkeperiode og har derfor aktivitetsfaktor  $\alpha = 1$ . Et vanlig aktivitetsfaktor for statisk CMOS er 0.1.

### A. Kortslutningseffekt

I det en utgang endrer verdi vil inngangen(e) også ofte være i transisjon. Ser vi nærmere på en inverter har vi når inngangen er mellom  $V_{in}$  og  $V_{DD} - |V_{tp}|$  en situasjon der både pMOS- og nMOS transistoren er PÅ. I dette tilfellet vil det gå en strøm direkte fra  $V_{DD}$  til  $GND$  som vil bidra med et effektforbruk som kalles *kortslutningseffekt*. Dersom inngangssignaler har kort stige/falltid vil kortslutningseffekten bli liten. I tilfeller der utgangslasten (kapasitans) er stor, dvs. vesentlig større enn inngangskapasitansen(e), vil kortslutningseffekten bli redusert.

### B. Mål

Kunne modellere effektforbruk i en krets. Kunne skille mellom statisk- og dynamisk effektforbruk.

### C. Notater

## VIII. PSEUDO nMOS

(Kapittel 6.2.2.1 side 327 - 330)

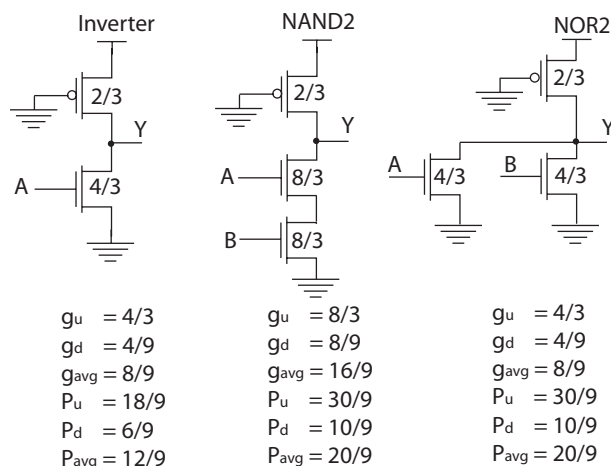


Fig. 5. Pseudo nMOS porter. (FIG6.12)

*Pseudo nMOS* inverter, pseudo nMOS 2inngangs NAND og pseudo nMOS 2inngangs NOR porter er vist i figur 5. Nedtrekket er likt som for statisk eller komplementær logikk, mens opptrekket er erstattet med en pMOS transistor som alltid er på. Det er fornuftig å velge en pMOS transistor som er ca. 1/4 så sterk som nedtrekket. Dette gir et godt kompromiss mellom hastighet og støymargin.

Når vi skal beregne logisk effort tar vi igjen utgangspunkt i en inverter, med samme opp- og nedtrekksmotstand, som kan levere like mye strøm som pseudo nMOS porten. Det er naturlig å skille logisk effort for opptrekk og nedtrekk fordi en pseudo nMOS port er asymmetrisk. I tillegg har pseudo nMOS porter svær ulike elektriske egenskaper i opptrekk og nedtrekk. Ved opptrekk via pMOS transistoren vil pseudo nMOS inverteren tilsvare en vanlig inverter, men med en relativt svak pMOS transistor. I nedtrekket derimot vil pMOS transistoren "holde igjen" slik at nMOS transistoren vil fungere som en svakere transistor enn en tilsvarende transistor i en vanlig inverter. For en vanlig (komplementær) inverter er det antatt at den transistoren som er skrudd av ikke leverer strøm. For pseudo nMOS porter der nedtrekket må kjempe mot opptrekket må vi se på differansen mellom nedtrekk og opptrekk. Det er strømmen i nedtrekket minus strømmen som pMOS transistoren leverer som danner grunnlaget for beregning av logisk effort for nedtrekket. Dette kan vi modellere som en økning i logisk effort, eller økning i effektiv motstand, for nedtrekket.

Med hensyn på effektforbruk representerer pseudo nMOS ofte en dårligere løsning enn en komplementær port. Når utgangen skal trekkes ned til 0 vil pMOS transistoren være PÅ slik at det vil være et statisk effektforbruk lik strømmen gjennom pMOS transistoren multiplisert med forsynningsspenningen. Vi vil derfor dimensjonere pMOS transistoren så liten som mulig for å redusere det statiske effektforbruket, men denne løsningen vil redusere hastigheten når utgangen skal trekkes opp til 1. Når utgangen er 1 er det ikke statisk effektforbruk i pseudo nMOS porten.

### A. pseudo nMOS inverter

For inverteren i figur 6 har vi valgt en litt større nMOS transistor enn en enhetstransistor. Vi bestemmer først størrelsen

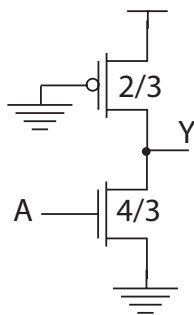


Fig. 6. Pseudo nMOS inverter. (FIG6.12)

på nMOS transistoren<sup>2</sup>. Dersom vi igjen antar at  $\mu_n = 2\mu_p$  og at opptrekket skal ha 1/4 av styrken til nedtrekkskjeden vil dette gi nMOS- og pMOS transistor med størrelse relativt til enhetstransistor:

$$\begin{aligned} W_n &= \frac{4}{3} W_{n_{enhet}} \\ &= \frac{4}{3} \\ W_p &= 2 \frac{1}{4} \frac{4}{3} \\ &= \frac{2}{3} \end{aligned} \quad (14)$$

Vi har at  $W_n = C_{inngang}$  og  $W_p = C_{gate,pMOS}$ . Logisk effort for opptrekket blir da

$$\begin{aligned} g_u &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\ &= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{3}} \\ &= \frac{4}{3}. \end{aligned} \quad (15)$$

Vi kan beregne motstanden for transistorene:

$$\begin{aligned} R_n &= \frac{1}{W_n} R \\ &= \frac{3}{4} R \\ R_p &= \frac{2}{3} R \\ &= 3R. \end{aligned} \quad (16)$$

Vi kan anvende Ohms lov og uttrykke strømmendifferansen mellom nMOS og pMOS transistoren, som vil være lik denne effektive, eller netto, strømtrekket for nedtrekket:

$$\begin{aligned} I_n &= \frac{V_{DD}}{R_n} \\ &= \frac{4V_{DD}}{3R} \\ I_p &= \frac{V_{DD}}{R_p} \\ &= \frac{V_{DD}}{3R} \\ I_n - I_p &= \frac{V_{DD}}{R}. \end{aligned} \quad (17)$$

<sup>2</sup>I dette eksemplet velges størrelsen for nMOS transistoren lik 4/3 relativt til en enhetstransistor. Dette vil tilsvare en effektiv motstand i nedtrekket som er lik  $R$ .

pseudo nMOS inverteren vil da ha et nedtrekk som tilsvare nedtrekket for en inverter med en enhets nMOS transistor.

En annen måte å uttrykke dette på er en effektiv transkonduktans i nedtrekket:

$$\begin{aligned} G_n &= \frac{4}{3} R^{-1} \\ G_p &= \frac{1}{3} R^{-1} \\ G_n - G_p &= R^{-1}. \end{aligned} \quad (18)$$

Den effektive motstanden i nedtrekket blir da

$$\begin{aligned} R_{nedtrekk} &= \frac{1}{G_n - G_p} \\ &= R. \end{aligned} \quad (19)$$

Vi kan nå uttrykke logisk effort for opptrekk og nedtrekk:

$$\begin{aligned} g_u &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\ &= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{2}\frac{2}{3}} \\ &= \frac{4}{3} \\ g_d &= \frac{W_n}{(W_n - \frac{1}{2}W_p) + 2(W_n - \frac{1}{2}W_p)} \\ &= \frac{\frac{4}{3}}{3(\frac{4}{3} - \frac{1}{3})} \\ &= \frac{4}{9} \\ g_{avg} &= \frac{\frac{4}{3} + \frac{4}{9}}{2} \\ &= \frac{8}{9}. \end{aligned} \quad (20)$$

Parasittisk tidsforsinkelse beregnes ut ifra effektiv motstand og parasittisk kapasitans (intern kapasitans):

$$\begin{aligned} P_u &= R_{opptrekk} C_{intern} \\ &= R_p \left( \frac{2}{3} + \frac{4}{3} \right) C \\ &= 3R2C \\ &= 2\tau \\ P_d &= R_{nedtrekk} C_{intern} \\ &= 1R \left( \frac{2}{3} + \frac{4}{3} \right) C \\ &= R2C \\ &= \frac{2}{3}\tau \\ p_{avg} &= \frac{4}{3}\tau. \end{aligned} \quad (21)$$

#### A.1 Generelle modeller for inverter

Gitt  $\mu_n = s\mu_p$  Vi starter med å bestemme størrelsen på pMOS transistoren. Vi velger  $W_p = s/3$  og ønsker at nedtrekkskjeden skal være  $k$  ganger så sterkt som opptrekket som vist i figur 7:

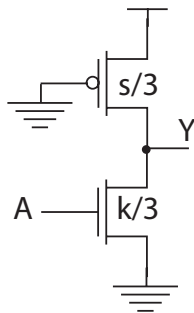


Fig. 7. Pseudo nMOS inverter med  $\mu_n = s\mu_p$  og nedtrekkstransistoren  $k$  ganger sterkere enn opptrekket.

$$\begin{aligned} W_p &= \frac{s}{3} \\ W_n &= \frac{1}{2}kW_p \\ &= \frac{sk}{6}, \end{aligned} \quad (22)$$

Vi kan beregne motstanden for transistorene, effektiv motstand for opptrekk og nedtrekk :

$$\begin{aligned} R_p &= 2W_p^{-1}R \\ &= \frac{6}{s}R \\ R_{opptrekk} &= R_p \\ R_n &= W_n^{-1}R \\ &= \frac{6}{sk}R \\ R_{nedtrekk} &= (R_n^{-1} - R_p^{-1})^{-1} \\ &= \left( \frac{sk}{6}R^{-1} - \frac{s}{6}R^{-1} \right)^{-1} \\ &= \frac{6}{s(k-1)}R \end{aligned} \quad (23)$$

Vi kan nå uttrykke logisk effort for opptrekk og nedtrekk:

$$\begin{aligned} g_u &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\ &= \frac{\frac{sk}{6}}{\frac{s}{3} + \frac{1}{2}\frac{s}{3}} \\ &= \frac{k}{3}. \\ g_d &= \frac{W_n}{(W_n - \frac{1}{s}W_p) + s(W_n - \frac{1}{s}W_p)} \\ &= \frac{\frac{sk}{6}}{(s+1)\left(\frac{s}{3} + \frac{1}{2}\frac{s}{3}\right)} \\ &= \frac{\frac{sk}{6}}{(s+1)\frac{s}{2}} \\ &= \frac{k}{3(s+1)} \\ g_{avg} &= \frac{(s+2)k}{6(s+1)}. \end{aligned} \quad (24)$$

Parasittisk tidsforsinkelse beregnes ut ifra effektiv motstand og parasittisk kapasitans (intern kapasitans):

$$\begin{aligned} P_u &= R_{opptrekk}C_{intern} \\ &= R_p(W_p + W_n)C \\ &= \frac{6}{s}R\left(\frac{s}{3} + \frac{k}{3}\right)C \\ &= \frac{6}{s}R\left(\frac{s+k}{3}\right)C \\ &= \frac{2(s+k)}{s}RC \\ &= \frac{2(s+k)}{3s}\tau \\ P_d &= R_{nedtrekk}C_{intern} \\ &= \frac{6}{s(k-1)}R \cdot \left(\frac{s}{3} + \frac{k}{3}\right)C \\ &= \frac{6}{s(k-1)}R \cdot \left(\frac{s+k}{3}\right)C \\ &= \frac{2(s+k)}{s(k-1)}RC \\ &= \frac{2(s+k)}{3s(k-1)}\tau \\ p_{avg} &= \frac{k(s+k)}{3s(k-1)}\tau. \end{aligned} \quad (26)$$

### B. 2inngangs pseudo nMOS NAND port

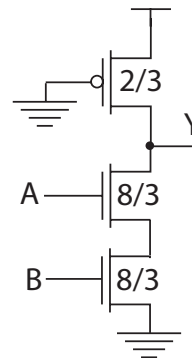


Fig. 8. Pseudo nMOS NAND port. (FIG6.12)

For 2inngangs pseudo nMOS NAND porten i figur 8 antar vi at motstanden i opptrekket skal være 4 ganger så stor som den effektive motstanden i de to nMOS transistorene i nedtrekket. Dersom vi velger størrelsen på pMOS transistoren  $W_p = 2/3$  vil motstanden i opptrekket være:

$$\begin{aligned} R_p &= 2\left(\frac{1}{W_p}\right)R \\ &= 3R. \end{aligned} \quad (27)$$

Nedtrekket består av to nMOS transistorer som vi antar er like og med motstand lik  $R_n$  hver. De to nMOS transistorene vil til sammen utgjøre en motstand lik  $2R_n$ .

Vi setter ekvivalent motstanden i to nMOS transistorene lik  $1/4$  av motstanden i opptrekket og finner størrelsen på nMOS transistorene:

$$\begin{aligned} R_n &= W_n^{-1} \\ R_{nMOSkjede} &= (W_n^{-1} + W_n^{-1})R \\ &= \frac{2}{W_n}R \end{aligned}$$

$$\begin{aligned}
&= \frac{2 \cdot 3}{8} \\
&= \frac{3}{4}R \\
\frac{2}{W_n}R &= \frac{1}{4}R_p \\
2W_n &= \frac{3}{4} \\
W_n &= \frac{8}{3}.
\end{aligned} \tag{28}$$

Motstanden i nedtrekket blir da:

$$\begin{aligned}
R_{nedtrekk} &= (R_{nMOSkjede}^{-1} - R_p^{-1})^{-1} \\
&= \left(\frac{W_n}{2} - \frac{1}{3}\right)^{-1} R \\
&= R.
\end{aligned} \tag{29}$$

Logisk effort for opptrekk, og nedtrekk blir:

$$\begin{aligned}
g_u &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\
&= \frac{\frac{8}{3}}{\frac{2}{3} + \frac{1}{3}} \\
&= \frac{8}{3} \\
g_d &= \frac{W_n}{3 \left( \left( \frac{1}{W_n} + \frac{1}{W_n} \right)^{-1} - \frac{1}{2}W_p \right)} \\
&= \frac{W_n}{3 \left( \frac{1}{2}W_n - \frac{1}{2}W_p \right)} \\
&= \frac{\frac{8}{3}}{3 \left( \frac{4}{3} - \frac{1}{3} \right)} \\
&= \frac{8}{9} \\
g_{avg} &= \frac{16}{9}.
\end{aligned} \tag{30}$$

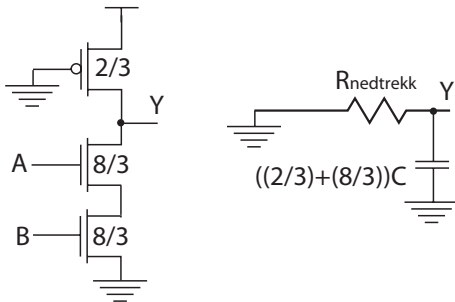


Fig. 9. Enkel ekvivalent for nedtrekket i 2inngangs pseudo nMOS NAND port.

I dette tilfellet brukes ikke Elmore forsinkelsesmodell, men en mer optimistisk<sup>3</sup> modell basert på ekvivalenten i figur 9. Parasittisk tidsforsinkelse for 2inngangs pseudo nMOS NAND port blir:

$$P_u = R_{opptrekk} C_{intern}$$

<sup>3</sup>Ved bruk av Elmore modellen ville vi fått en parasittisk tidsforsinkelse på  $\frac{13}{9}\tau$ .

$$\begin{aligned}
&= 3R \left( \frac{2}{3} + \frac{8}{3} \right) C \\
&= 10RC \\
&= \frac{10}{3}\tau \\
P_d &= R_{nedtrekk} \left( \frac{10}{3} \right) C \\
&= \frac{10}{9}\tau \\
P_{avg} &= \frac{20}{9}\tau.
\end{aligned} \tag{31}$$

### C. 2inngangs pseudo nMOS NOR port

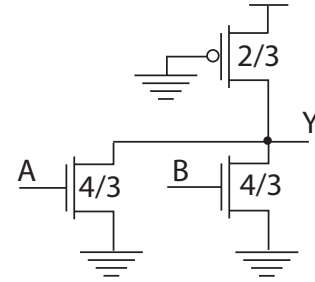


Fig. 10. Pseudo nMOS NOR port. (FIG6.12)

For 2inngangs pseudo nMOS NOR porten i figur 10 antar vi at motstanden i opptrekket skal være 4 ganger så stor som den effektive motstanden i nedtrekkstransistoren. Dersom vi velger størrelsen på pMOS transistoren  $W_p = 2/3$  vil motstanden i opptrekket være:

$$\begin{aligned}
R_p &= 2 \left( \frac{1}{W_p} \right) R \\
&= 3R.
\end{aligned} \tag{32}$$

Nedtrekket består av to nMOS transistorer i parallell som vi antar er like og med motstand lik  $R_n$  hver. Vi antar at bare en av transistorene er PÅ slik at den effektive motstanden i nedtrekkstransistoren blir  $R_n$ , og motstanden i nedtrekkstransistoren skal være 1/4 av motstanden i opptrekket:

$$\begin{aligned}
R_n &= \frac{1}{4} R_{opptrekk} \\
&= \frac{3}{4} R,
\end{aligned} \tag{33}$$

som gir transistorstørrelse  $W_n = 4/3$ , og den effektive motstanden i nedtrekket blir:

$$\begin{aligned}
R_{nedtrekk} &= \left( W_n - \frac{1}{2}W_p \right)^{-1} \\
&= \left( \frac{4}{3} - \frac{1}{2} \cdot \frac{2}{3} \right)^{-1} R \\
&= R.
\end{aligned} \tag{34}$$

$$\tag{35}$$

Logisk effort for opptrekk, og nedtrekk blir:

$$\begin{aligned}
g_u &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\
&= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{3}}
\end{aligned}$$

$$\begin{aligned}
&= \frac{4}{3} \\
g_d &= \frac{W_n}{3(W_n - \frac{1}{2}W_p)} \\
&= \frac{\frac{4}{3}}{3(\frac{4}{3} - \frac{1}{3})} \\
&= \frac{4}{9} \\
g_{avg} &= \frac{8}{9}. \tag{36}
\end{aligned}$$

Parasittisk tidsforsinkelse for 2inngangs pseudo nMOS NOR port blir:

$$\begin{aligned}
P_u &= R_{opptrekk} C_{intern} \\
&= 3R \left( \frac{2}{3} + \frac{4}{3} + \frac{4}{3} \right) C \\
&= 10RC \\
&= \frac{10}{3} \tau \\
P_d &= R_{nedtrekk} \left( \frac{2}{3} + \frac{4}{3} + \frac{4}{3} \right) C \\
&\quad + R \frac{10}{3} C \\
&= \frac{10}{9} \tau \\
P_{avg} &= \frac{20}{9} \tau. \tag{37}
\end{aligned}$$

#### D. Pseudo nMOS design

Pseudo nMOS NAND porter er tregere enn komplementære NAND porter. For NOR porter er pseudo nMOS ikke tilsvarende tregere. Logisk effort for en pseudo nMOS NOR port er uavhengig av antall innganger. Man skal være oppmerksom på støymarginer som vil være dårligere for pseudo nMOS porter enn komplementære porter. For å sikre gode støymarginer svekker man pMOS transistorene, men dette vil gå ut over hastigheten. Parasittisk tidsforsinkelse for opptrekk vil øke når pMOS transistoren svekkes, mens parasittisk tidsforsinkelse for nedtrekket vil reduseres fordi det blir lettere for nedtrekket å trekke utgangen lav. En svekket pMOS transistor vil derfor øke forskjellen i parasittisk tidsforsinkelse i opp- og nedtrekket.

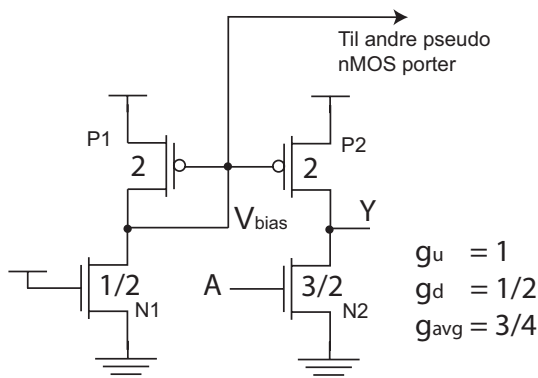


Fig. 11. Biasering av pseudo nMOS porter. (FIG6.15)

For å redusere følsomhet for en spesifikk prosess kan man benytte en biaseringskrets som vist i figur 11. Formålet med

biaseringskretsen er å generere en biaseringsspenning  $V_{bias}$  som anvendt på en pMOS transistor vil gi en strøm i pMOS transistorer (for eksempel P2) som er lik  $1/3$ , som er forholdet mellom  $W_{N1}$  og  $W_{N2}$ , av strømmen i nMOS transistorer (for eksempel N2). Biaseringsspenningen kan brukes som inngangs til flere pseudo nMOS porter. Logisk effort for porten som består av transistorene P2 og N2 er gitt av

$$\begin{aligned}
g_u &= \frac{W_{N2}}{W_{P2} + \frac{1}{2}W_{P2}} \\
&= \frac{\frac{3}{2}}{2 + 1} \\
&= \frac{1}{2} \\
g_d &= \frac{W_{N2}}{(W_{N2} - \frac{1}{2}W_{N2}) + 2(W_{N2} - \frac{1}{2}W_{N2})} \\
&= \frac{\frac{3}{2}}{3(\frac{3}{2} - \frac{3}{4})} \\
&= \dots \tag{38}
\end{aligned}$$

#### E. Eksempel

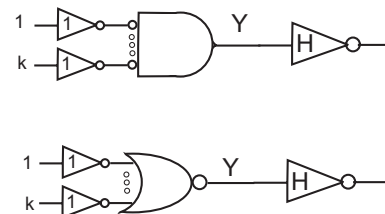


Fig. 12. AND funksjon implementert med pseudo nMOS NOR port. (FIG6.13)

Vi kan implementere en kinnngangs AND port ved hjelp av invertere og en kinnngangs pseudo nMOS NOR port som vist i figur 12. Utgangslasten er representert som en inverter med størrelse lik  $H$  ganger enhetsinverter. Elektrisk effort for kjeden bestående av pseudo nMOS NOR porten og en inverter på inngangen er lik  $H$ . Vi antar at NOR porten er dimensjonert som NOR porten i figur 5 vil gjennomsnittelig logisk effort for NOR porten være  $8/9$ . Gjennomsnittelig logisk effort for kjeden blir  $G = 1 \cdot (8/9) = 8/9$ . Forgrenings-effort er lik 1, slik at kjede effort blir  $F = GBH = (8/9) \cdot 1 \cdot H = (8H)/9$ . Optimal port effort blir da  $f' = \sqrt{(8H)/9}$ . Vi kan nå bestemme optimal inngangskapasitans for NOR porten:

$$\begin{aligned}
C_{inngang} &= \frac{C_{ekstern} \cdot g}{f'} \\
&= \frac{H \frac{8}{9}}{\sqrt{\frac{8H}{9}}} \\
&= \frac{2\sqrt{2H}}{3}. \tag{39}
\end{aligned}$$

Vi kan dermed sette størrelsen på nMOS transistorene  $W_n = C_{inngang} = (2\sqrt{2H})/3$ , og størrelsen på pMOS transistoren blir  $W_p = W_n/2 = \sqrt{2H}/3$ . Vi kan da beregne effektive motstander for opptrekk og nedtrekk:

$$R_{opptrekk} = 2W_p^{-1}$$



$$\begin{aligned}
&= \frac{6}{\sqrt{2H}} \\
R_{nedtrekk} &= \left(W_n - \frac{1}{2}W_p\right)^{-1} R \\
&= \left(\frac{2\sqrt{2H}}{3} - \frac{1}{2}\frac{\sqrt{2H}}{3}\right)^{-1} R \\
&= \frac{2}{\sqrt{2H}} R.
\end{aligned} \tag{40}$$

Parasittisk forsinkelse i NOR porten blir:

$$\begin{aligned}
P_u &= \frac{6}{\sqrt{2H}} R \left(\frac{\sqrt{2H}}{3} + k\frac{2\sqrt{2H}}{3}\right) C \\
&= \frac{6\sqrt{2H}(1+2k)}{3\sqrt{2H}} RC \\
&= 2(1+2k) RC \\
&= \frac{2(1+2k)}{3} \tau \\
P_d &= \frac{2}{\sqrt{2H}} R \left(\frac{\sqrt{2H}(1+2k)}{3}\right) C \\
&= \frac{2(1+2k)}{3} RC \\
&= \frac{2(1+2k)}{9} \tau \\
P_{avg} &= \left(\frac{\frac{2(1+2k)}{3} + \frac{2(1+2k)}{9}}{2}\right) \tau \\
&= \frac{4(1+2k)}{9} \tau.
\end{aligned} \tag{41}$$

Total tidsforsinkelse blir:

$$\begin{aligned}
D &= Nf' + P \\
&= 2\sqrt{(8H)/9} + 1 + \frac{4(1+2k)}{9} \\
&= \frac{4\sqrt{2H}}{3} + \frac{(13+8k)}{9}.
\end{aligned} \tag{42}$$

#### F. Mål

Kunne beregne logisk effort og parasittisk tidsforsinkelse for pseudo nMOS porter.

#### G. Oppgaver

Oppgave 6.18, 6.19.

#### H. Notater

### IX. GANGED CMOS (Kapittel 6.2.2.2 side 330 - 331)

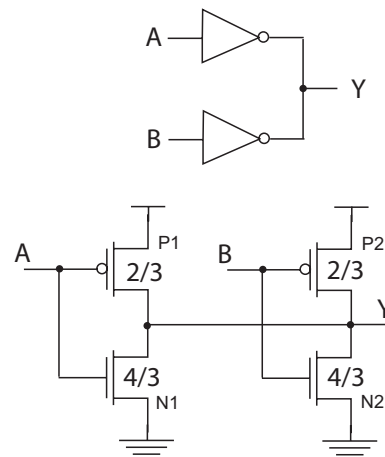


Fig. 13. Ganged CMOS 2inngangs symmetrisk NOR port. (FIG6.18)

En ganged CMOS port bestående av to invertere er vist i figur 13. Når portens transistorer dimensjoneres som vist i porten vil portens funksjon bli 2inngangs NOR (symmetrisk). Dersom pMOS transistorene hver for seg var sterkere<sup>4</sup> enn en nMOS transistor ville funksjon bli en 2inngangs NAND. Kretsens elektriske egenskaper vil være svært avhengig av de logiske verdier på inngangene. Det vil være statisk effektforbruk for visse inngangsmønstre for en ganged CMOS port.

A.  $A = B = 0$

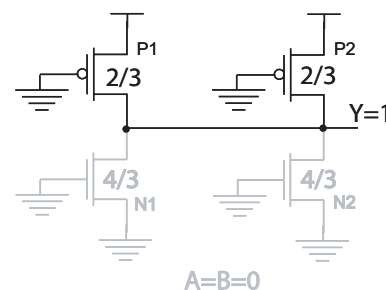


Fig. 14. Ganged CMOS 2inngangs symmetrisk NOR port med innganger  $A = B = 0$ . (FIG6.18)

Ganged NOR port med inngangsingene  $A = B = 0$  er vist i figur 14. I dette tilfellet vil vi ha to pMOS transistorer i parallell som trekker utgangen opp til logisk 1. Begge nMOS transistorene er skrudd av. Det vil ikke være statisk effektforbruk for denne porten ut over effektforbruk som følge av nMOS transistorene som opererer i svak inversjon (AV). Vi har:

$$\begin{aligned}
g_u &= \frac{W_p + W_n}{2W_p + W_p} \\
&= \frac{\frac{2}{3} + \frac{4}{3}}{2\frac{2}{3} + \frac{2}{3}} \\
&= 1 \\
p_u &= R_{opptrekk} C_{intern}
\end{aligned}$$

<sup>4</sup>Vi kunne for eksempel valgt  $W_n = 1/3$  og  $W_p = 8/3$ .

$$\begin{aligned}
&= \left( \frac{R_p \cdot R_p}{R_p + R_p} \right) \cdot \left( \frac{2}{3} + \frac{2}{3} + \frac{4}{3} + \frac{4}{3} \right) \\
&= \frac{1}{2} R_p 4C \\
&= \frac{1}{2} \cdot 2 \cdot \frac{3}{2} R 4C \\
&= 6RC \\
&= 2\tau.
\end{aligned} \tag{43}$$

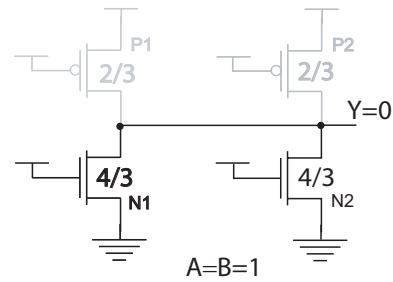


Fig. 16. Ganged CMOS 2inngangs symmetrisk NOR port med innganger  $A = B = 1$ . (FIG6.18)

B.  $A$  og  $B$  er forskjellige

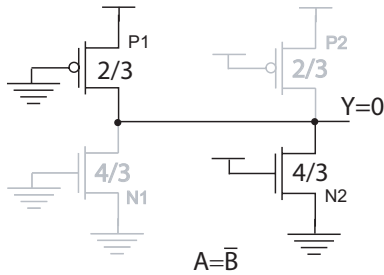


Fig. 15. Ganged CMOS 2inngangs symmetrisk NOR port med innganger  $A \neq B$ . (FIG6.18)

Ganged NOR port med inngangssignalene  $A \neq B$  er vist i figur 15. I dette tilfellet vil vi ha en pMOS transistorer som er PÅ og en nMOS transistor som er PÅ. Dette vil ligne en 2inngangs pseudo nMOS NOR port med en ekstra intern kapasitans for pMOS transistoren som er skrudd av. nMOS transistoren vil være sterkere enn pMOS transistoren slik at utgangen trekkes ned til 0. I dette tilfellet har vi en pMOS transistor som er PÅ og vil bidra med strøm til nedtrekket via nMOS transistoren som er PÅ. Det statiske effektforbruket er proporsjonalt med strømmen gjennom pMOS transistoren. Vi har:

$$\begin{aligned}
g_d &= \frac{W_p + W_n}{\left(W_n - \frac{1}{2}W_p\right) + 2\left(W_n - \frac{1}{2}W_p\right)} \\
&= \frac{\frac{2}{3} + \frac{4}{3}}{3\left(\frac{4}{3} - \frac{1}{2}\frac{2}{3}\right)} \\
&= \frac{2}{3} \\
p_d &= R_{nedtrekk} C_{intern} \\
&= \left(W_n - \frac{1}{2}W_p\right)^{-1} R \cdot (4C) \\
&= \left(\frac{4}{3} - \frac{1}{2}\frac{2}{3}\right) R 4C \\
&= R 4C \\
&= \frac{4}{3}\tau.
\end{aligned} \tag{44}$$

C.  $A = B = 1$

Ganged NOR port med inngangssingene  $A = B = 1$  er vist i figur 16. I dette tilfellet vil vi ha to nMOS transistorer i parallell som trekker utgangen ned til logisk 0. Begge pMOS transistorene er skrudd av. Her er det statiske effektforbruket redusert til et minimum. Vi har:

$$g_d = \frac{W_p + W_n}{2W_n + 4W_n}$$

$$\begin{aligned}
&= \frac{\frac{2}{3} + \frac{4}{3}}{2\frac{4}{3} + 4\frac{4}{3}} \\
&= \frac{1}{4} \\
p_d &= R_{nedtrekk} C_{intern} \\
&= \left(\frac{R_n \cdot R_n}{R_n + R_n}\right) \cdot (4C) \\
&= \frac{1}{2} R_n 4C \\
&= \frac{1}{2} \cdot \frac{3}{4} R 4C \\
&= \frac{3}{2} RC \\
&= \frac{1}{2}\tau.
\end{aligned} \tag{45}$$

D. Mål

Forstå hvordan en ganged 2inngangs NOR port virker. Kunne beregne logisk effort og parasittiske tidsforsinkelser.

E. Notater



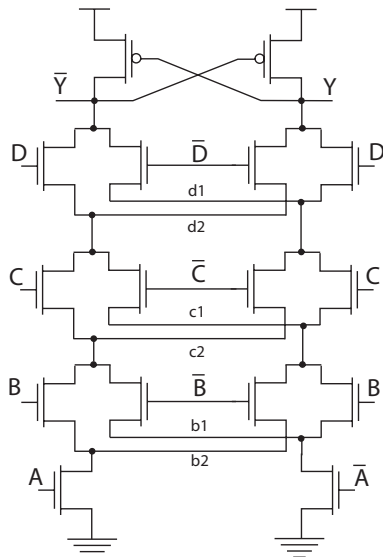


Fig. 20. *Kaskode spenning svitsj logikk for 4-inngangs XNOR, dvs.  $Y = A \oplus B \oplus C \oplus D$  funksjon. (FIG6.20c)*

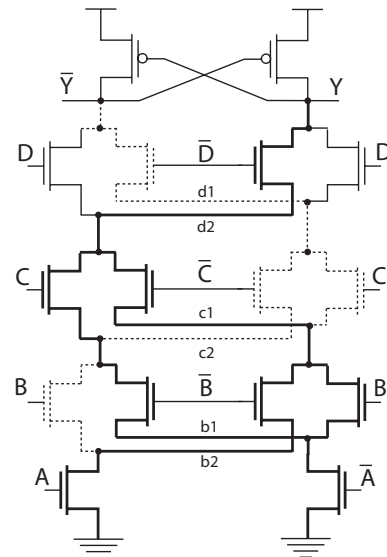


Fig. 22. *Kaskode spenning svitsj logikk for 4-inngangs XOR funksjon. (FIG6.20c)*

er en 4-inngangs XNOR krets. Dersom det er en og bare en inngang som er 1 vil utgangen  $Y$  bli lik 1. Legg merke til at for utgangen  $\bar{Y}$  er funksjonen en 4-inngangs XOR port.

### C. Oppgaver

Oppgave 6.26.

### D. Notater

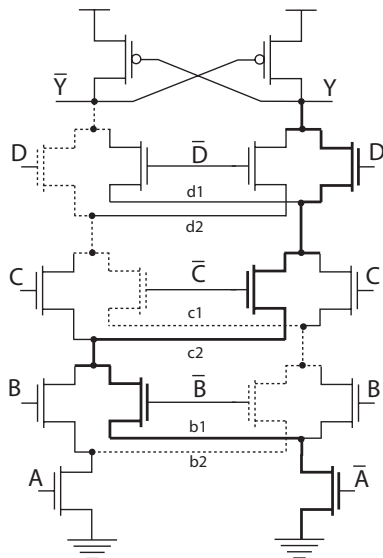


Fig. 21. *Kaskode spenning svitsj logikk for 4-inngangs XOR funksjon. (FIG6.20c)*

4-inngangs XNOR krets der nedtrekket for inngangsmønsteret  $D, \bar{C}, \bar{B}$  og  $\bar{A}$  er vist. Dette representerer inngangsekvensen 1000, dvs. en ener.

Dersom vi antar at  $D = 0$  vil de to mitterste transistorene i den øverste rekke av nMOS transistorer være på. Det vil derifra være en rekke kombinasjoner av inngangsmønstre for inngangene  $A, B$  og  $C$  som gir en og bare en 1er. De alternative nedtrekksmulighetene er vist i figur 22.

### B. Mål

Kunne implementere logiske funksjoner ved hjelp av CVSL logikk.

## XII. INDEKS

Aktivitetsfaktor 4  
CVSL 11  
Drain-induced barrier lowering (DIBL) 1  
Dynamisk effektforbruk 3, 4  
Effektforbruk 3  
Ganged CMOS 9  
Gate lekkasje 2  
Gatestrøm 2  
Kaskode spenning svitsj logikk 11  
Kortslutningseffekt 4  
Moderat inversjon 1  
Pseudo nMOS 4  
SFPL 11  
Slope faktor 1  
Source følger opptrekslogikk 11  
Statisk effektforbruk 3, 3  
Sterk inversjon 1  
Subterskel 1  
Svak inversjon 1  
Tunneleringsstrøm 2

## REFERENCES

- [1] Neil H.E. Harris og David Harris “CMOS VLSI DESIGN, A circuit and system perspective” tredje utgave 2005, ISBN: 0-321-26977-2, *Addison Wesley*,
- [2] Yngvar Berg “INF3400 Del:Z”