Eksamensoppgaver om Pipeline og Minne

1(c) Godt blandet (Utdrag)

Utsagn	**Usant**	**Sant**
ALU og CPU er en og samme enhet, men har ulik klokkehastighet		
En av løsningene for å unngå Data Hazard er å koble utgangen på den første bit ALUen til inngangen av neste bit ALU.		
Det er bare ALU som bestemmer hastigheten i en pipeline		

2(b) Teori

I emnet IN1020 har vi snakket om Flip-Flop, hva er det?

Velg et eller flere alternativer

- ❑ Porter som åpner
- ❑ Kretser som "flippes"
- ❑ Sandaler
- ❑ Låsekretser

4.3 Cache-miss

Anta at prosessoren har 100 instruksjoner igjen å utføre. Det tar én klokkesykel pr instruksjon, og man regner med å ha en minneaksessering på 80% og med cache-miss på 50%. En cache-miss fører til en total tidsbruk på 20 klokkesykler. Cache-hit bruker total én klokkesykel. Hva er total antall gjenstående klokkesykler?

- ❑ 1000
- ❑ 860
- ❑ 950
- ❑ 800
- ❑ 1050
- ❑ 840
- ❑ 1620
- ❑ 820

2(c) Teori

Hvilke av følgende utsagn er sant (Data betyr I denne sammenheng informasjonen/bit som er lagret I minne)

Velg et eller flere alternativer.

- ❑ I minnehierarki så er det bare harddisken som sitter med all data, de andre sår bare en kopi
- ❑ ALU er en sekvensiell krets, som styrer hele minnehierarkiet.
- ❑ I minnehierarkiet har de største dataene mest makt og kan overkjøre de andre mindre dataer
- ❑ I minnehierarkiet er minste dataene de raskeste å prosessere som gjør at de blir plassert nærmest CPU-en.
- ❑ I minnehierarkiet så er det Cache som bestemmer over hva andre minneelementer (som f.eks. RAM) kan lagre av data

Diskusjonsoppgave (Ikke fra eksamen):

Tenk deg at du skal bygge en datamaskin, men av en eller annen grunn ikke kan inkludere alle de vanlige minne-typene. Hvilke av de ulike minne-kategoriene tror du at datamaskinen din kunne klart seg uten?

Minne-kategorier dere kan diskutere: RAM, HDD, Cache, Register, Flip-flop.