Mentimeter

In1020 - Pipeline

Omid Mirmotahari og Yngvar Berg



Mentimeter

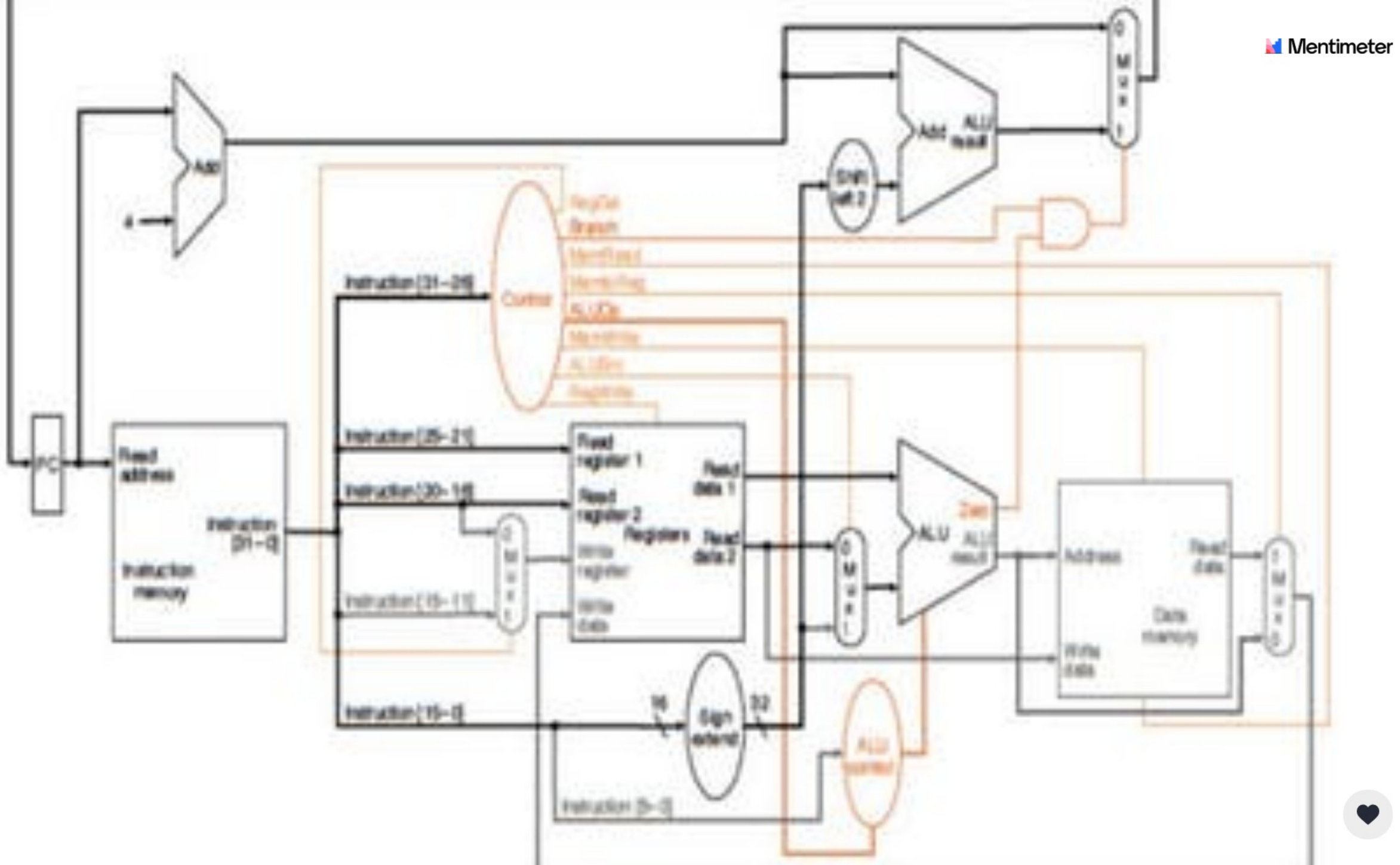
Dagens forelesning

- Hva er en BUS?
- Lengden av en klokkesykel
- Hvordan virker en pipeline
- Ulike typer av minne
- Utlesing av minne

Mentimeter

BUS

- Kommunikasjonskanal (mellom registere, ALU, minne og I/O enheter)
- kan deles mellom flere enheter, men kun en som kan sende av gangen
- Internt i en CPU er den en eller flere bus(er) som overfører data mellom interne registere.


Add
4
PC
Read address
Instruction [31–0]
Instruction memory
Instruction [31–26]
Control
Instruction [25–21]
Instruction [20–16]
Instruction [15–11]
Instruction [15–0]
Instruction [5–0]
Read register 1
Read register 2
Registers
Write register
Write data
Read data 1
Read data 2
16
Sign extend
32
ALU
Add
ALU result
Zero
Address
Read data
Data memory
Write data
M u x

Mentimeter

Én klokkesykels CPU

- Klokkeperioden må være like lang som den lengste forsinkelsen for enhver instruksjon gjennom data-path´en
- Resultat: Raskere instruksjoner tvinges til å bruke mer tid enn nødvendig
- Mulig løsning: Klokke med variabel periode
- Vurdering: Vanskelig å implementere



Mentimeter

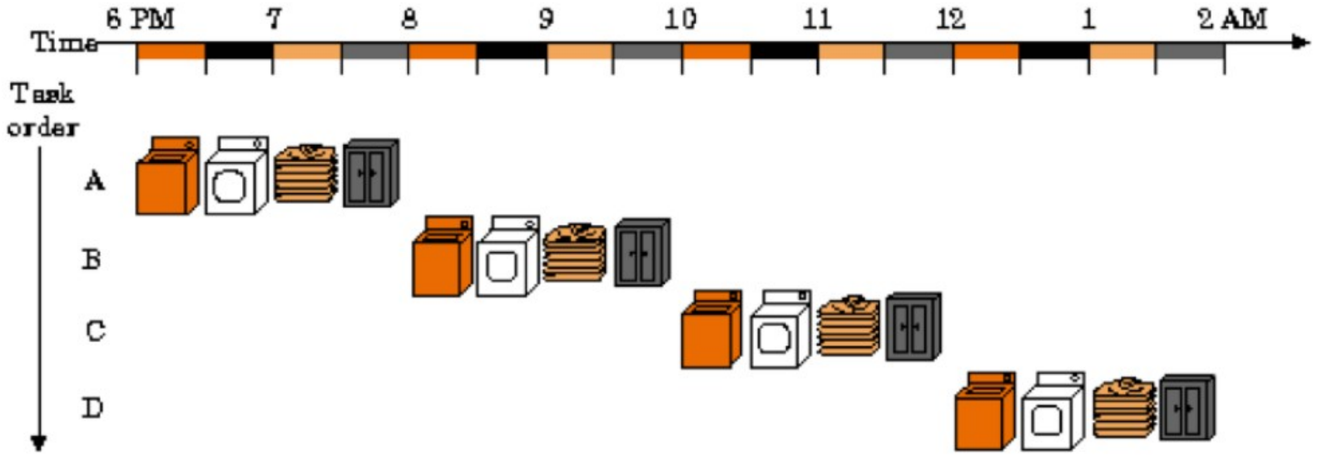
Pipeline

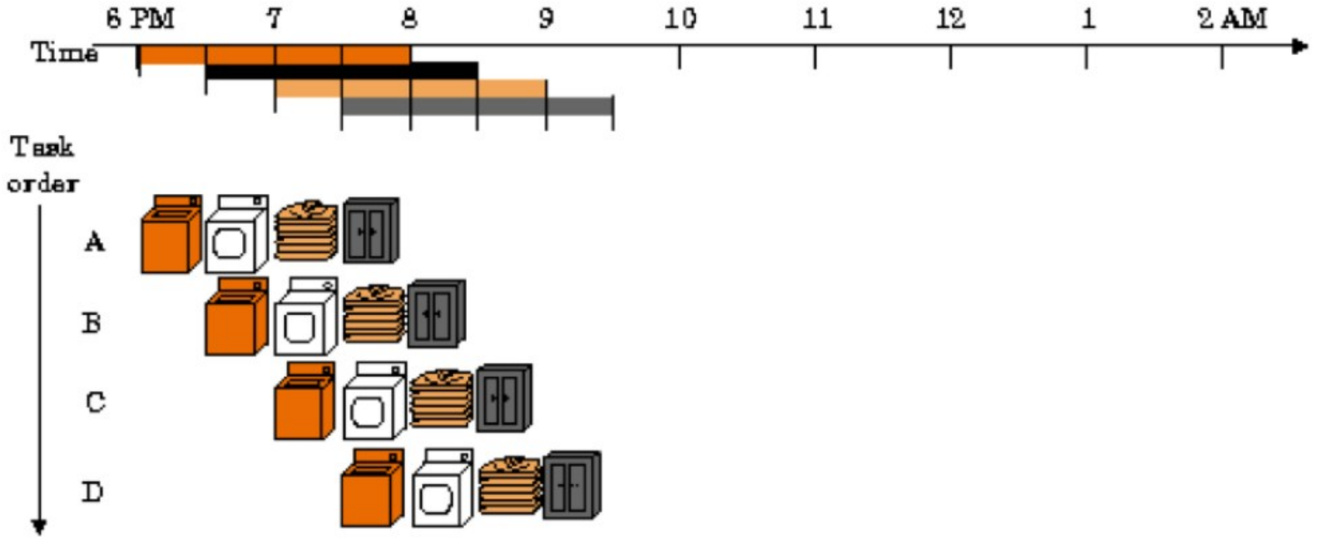
- Samlebåndsprinsipp
- Dele opp instruksjonen i uavhengige deler
- Neste instruksjon settes i gang før forrige instruksjon er helt ferdig
- NB!! Hver instruksjon tar like lang tid å utføre

Mentimeter

Analogi: Klesvask

Mentimeter


Time
6 PM
7
8
9
10
11
12
1
2 AM
Task order
A
B
C
D

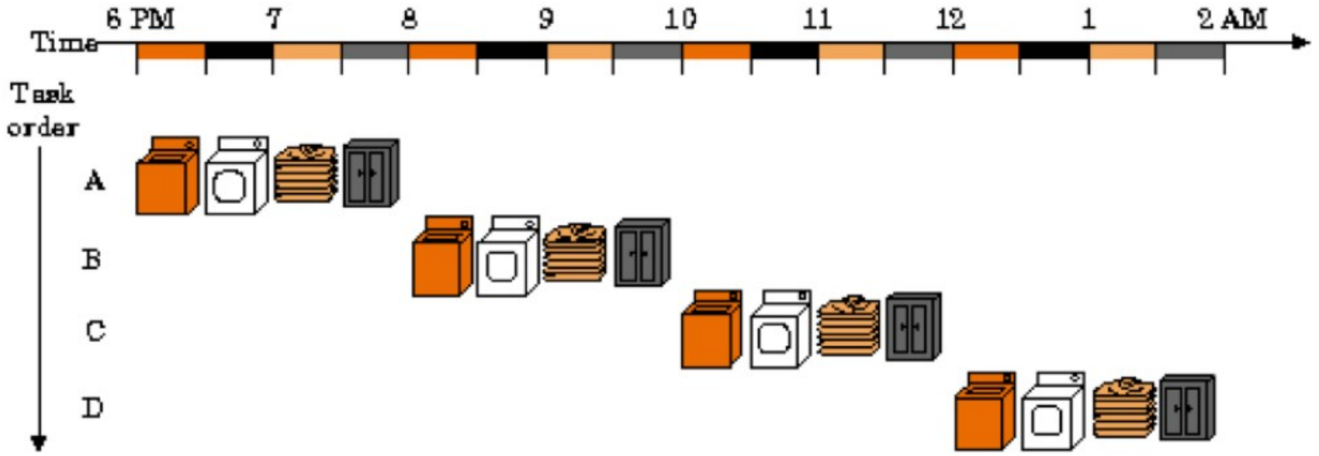

Time
6 PM
7
8
9
10
11
12
1
2 AM
Task order
A
B
C
D

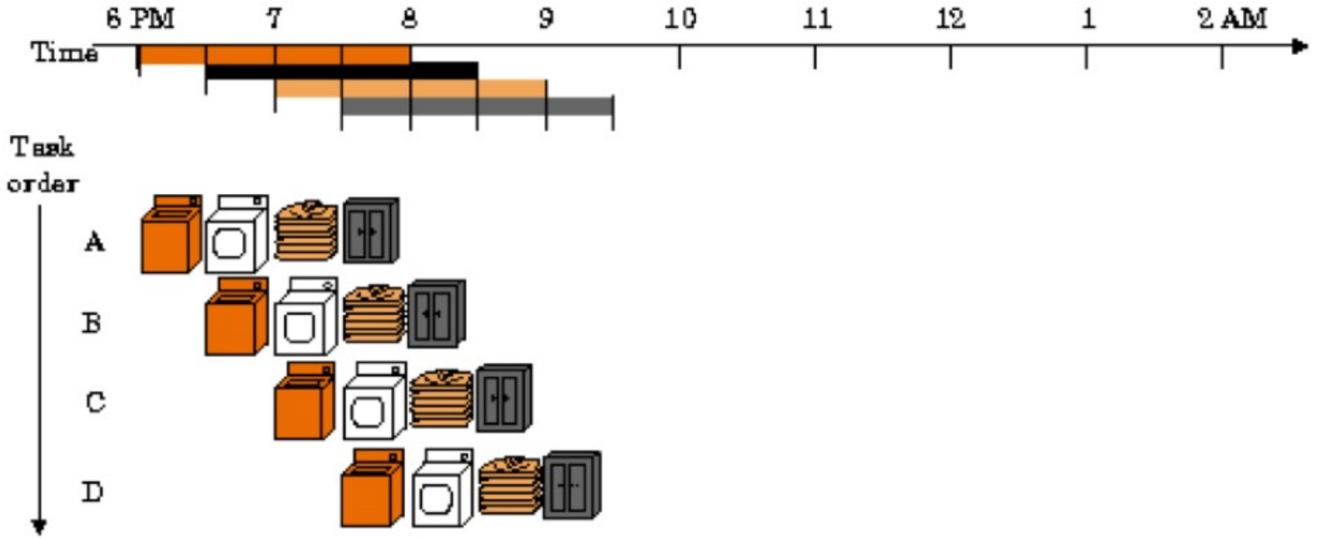
Mentimeter

Pipeline med subinstruksjoner

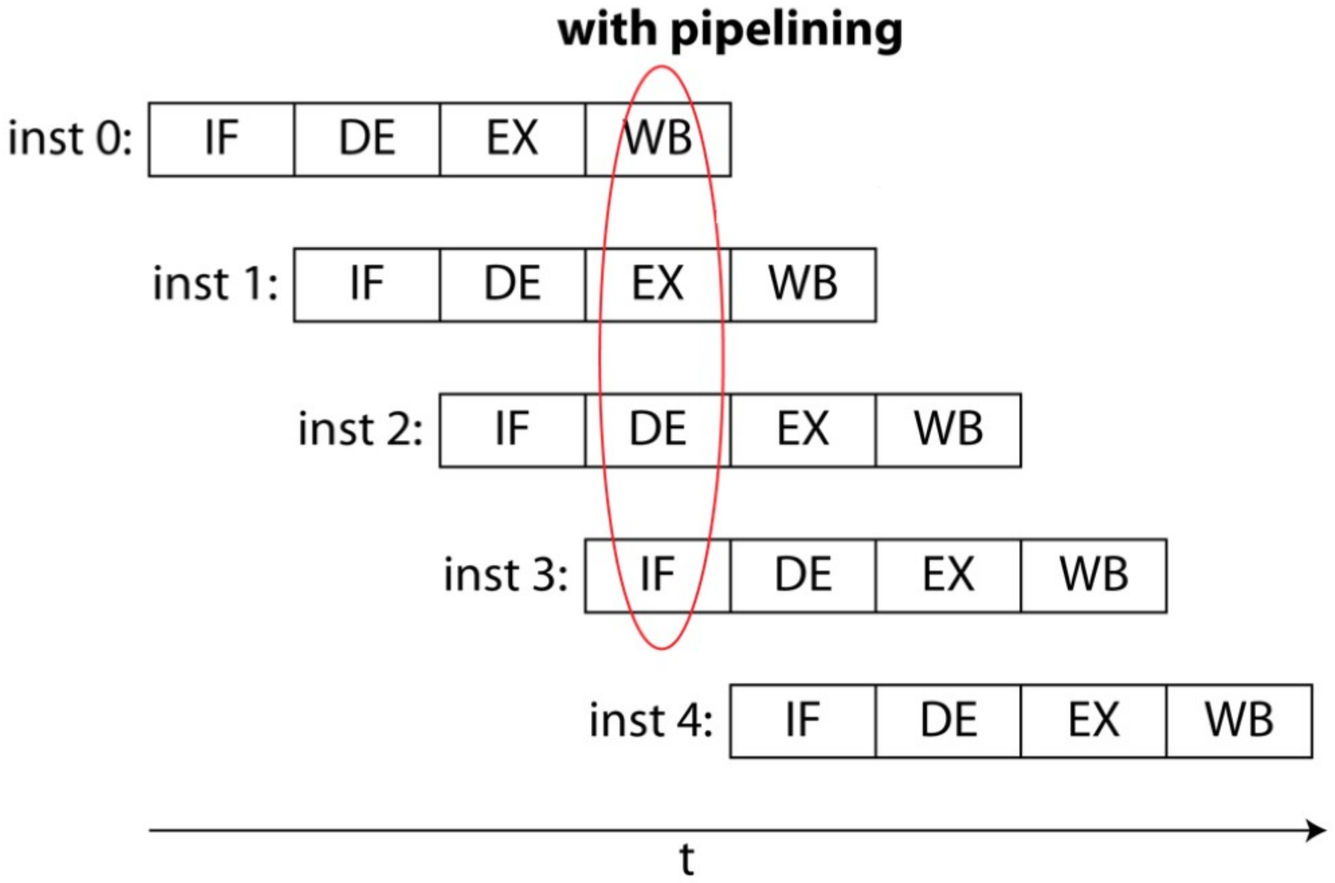
- IF - Instruction fetch
- DE - Decode instruction
- EX - Execute
- WB - Write Back

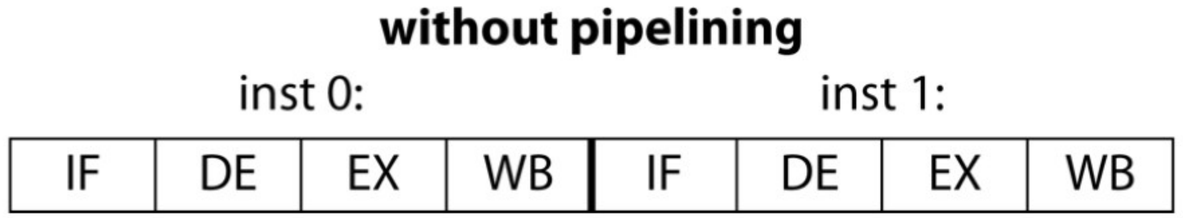
Mentimeter


Time
6 PM
7
8
9
10
11
12
1
2 AM
Task order
A
B
C
D

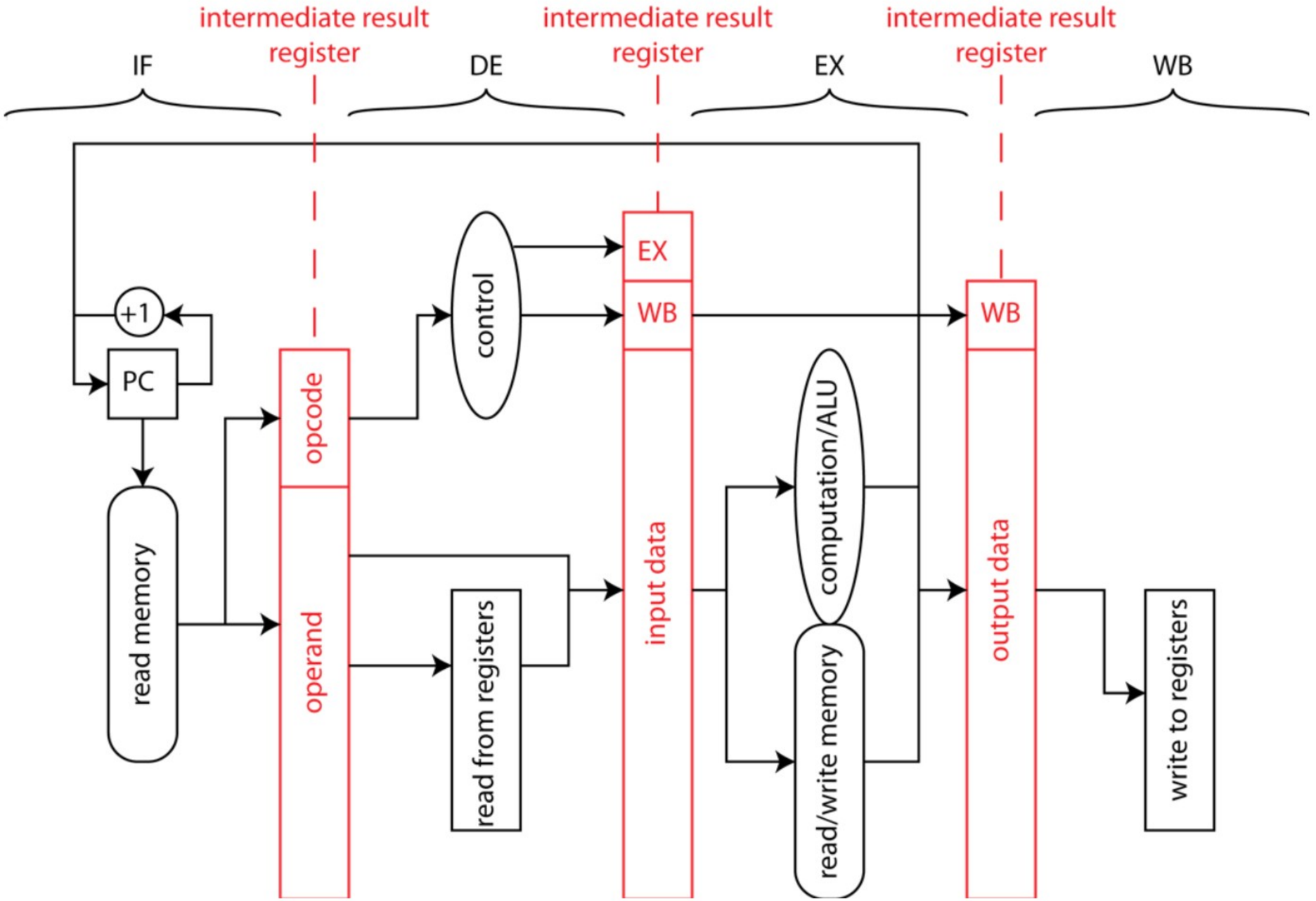

Time
6 PM
7
8
9
10
11
12
1
2 AM
Task order
A
B
C
D

Mentimeter


with pipelining
inst 0:
IF
DE
EX
WB
inst 1:
IF
DE
EX
WB
inst 2:
IF
DE
EX
WB
inst 3:
IF
DE
EX
WB
inst 4:
IF
DE
EX
WB
t


without pipelining
inst 0:
inst 1:
IF
DE
EX
WB
IF
DE
EX
WB

Mentimeter


intermediate result register
intermediate result register
intermediate result register
IF
DE
EX
WB
+1
PC
read memory
opcode
operand
control
read from registers
EX
WB
input data
computation/ALU
read/write memory
WB
output data
write to registers

Mentimeter

Pipeline med flere trinn

- Denne 4-trinns pipeline er den korteste som finnes for en CPU
- Moderne CPU har typisk vesentlig flere trinn



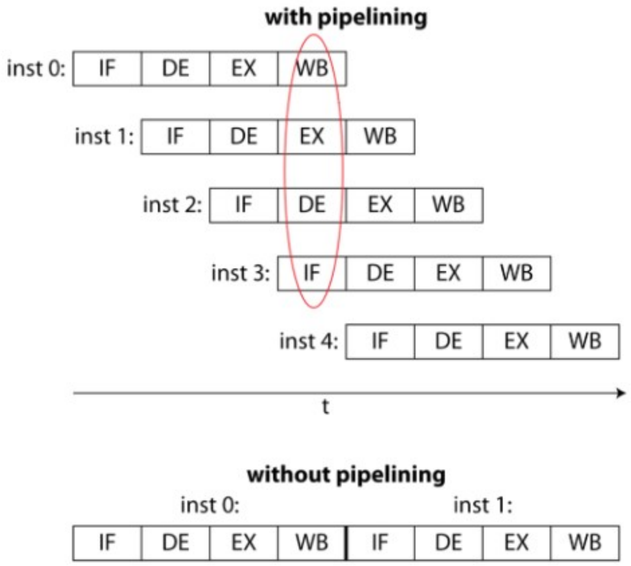
Mentimeter

Speed-up

Det å ha en 4 trinns pipeline betyr ikke at man får 4 ganger raskere prosessering. Det går alltid noe tid bort til administrering av instruksjoner og komplikasjoner!



Hvilke komplikasjoner kan oppstå ved pipeline?



Mentimeter

In1020 - Minnehierarki

Omid Mirmotahari og Yngvar Berg



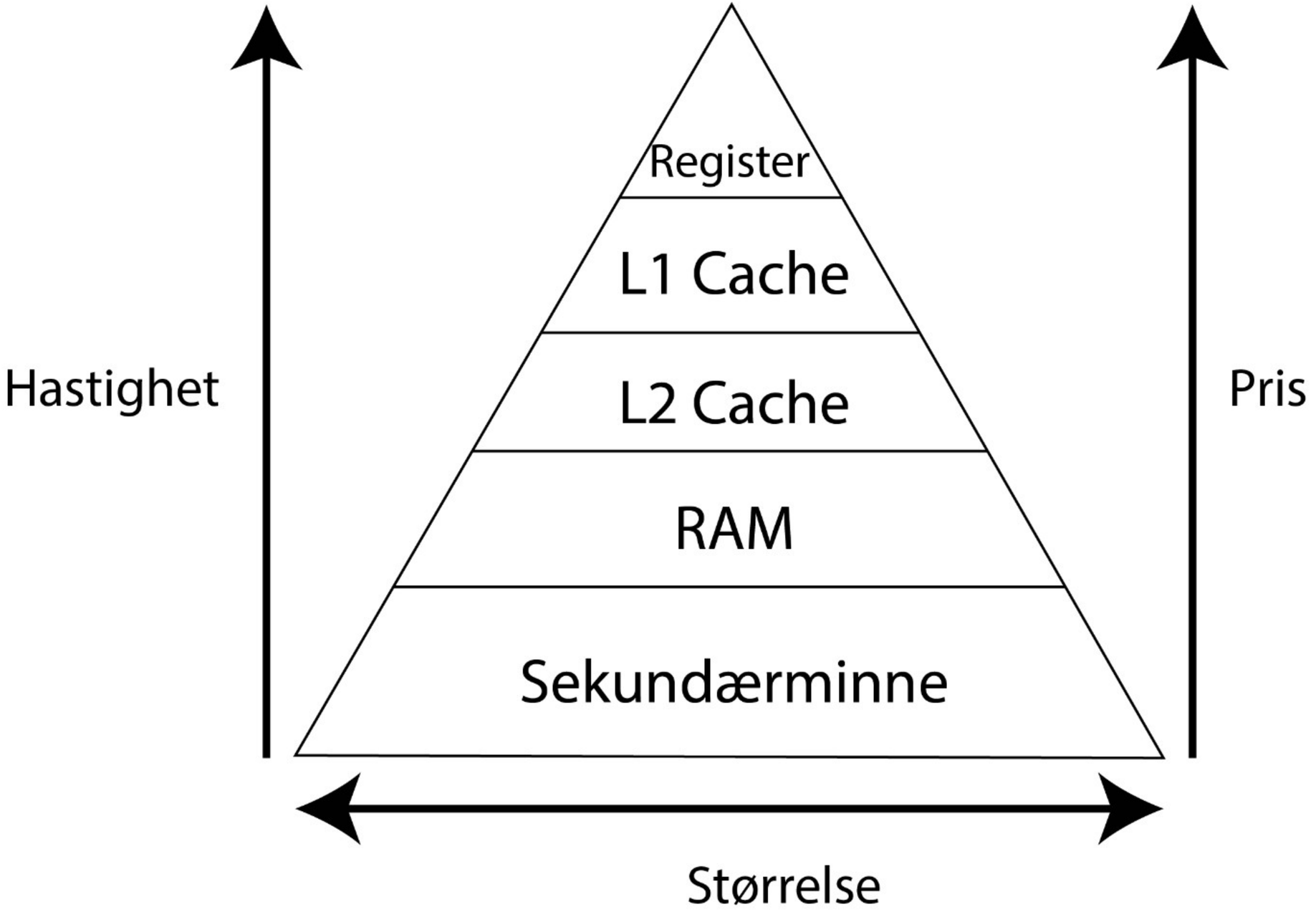
Mentimeter

Teknikker for hastighetsøkning

- Pipeline - øke antall instruksjoner som utføres pr. sekund
- Flere CPU´er i en maskin
- Raskere disker
- Hurtigere og større RAM



Mentimeter


Register
L1 Cache
L2 Cache
RAM
Sekundærminne
Hastighet
Pris
Størrelse

Mentimeter

Minnehierarki – Bruksområder

- Register

  Intern kladdeblokk for CPU´en med rask aksess til innholdet.

- Cache

  Hurtig mellomlager for både instruksjoner og data for å jevne ut hastighetsforskjellen mellom CPU´en og hurtigminnet.

- RAM

  Buffer mellom eksternt lagringsmedium og CPU´en med rask både lese- og skrive aksess.

- SSD/Flash/Harddisk

  Høykapasitetsmedium for program/data

Mentimeter

Minnehierarki – Lagringskapasitet

- Register

  Integrert på CPU´en, relativt få (32-128 stykker)

- Cache

  Mellomlager internt (L1) eller i nærheten (L2,L3) av CPU´en, typiske kapasiteter er fra 10 KiloByte (L1) til 1 MegaByte (L2) og flere MegaByte (L3).

- RAM

  Internt på hovedkortet i nærheten av CPU´en, størrelser opptil flere GigaByte.

- SSD/Flash/Harddisk

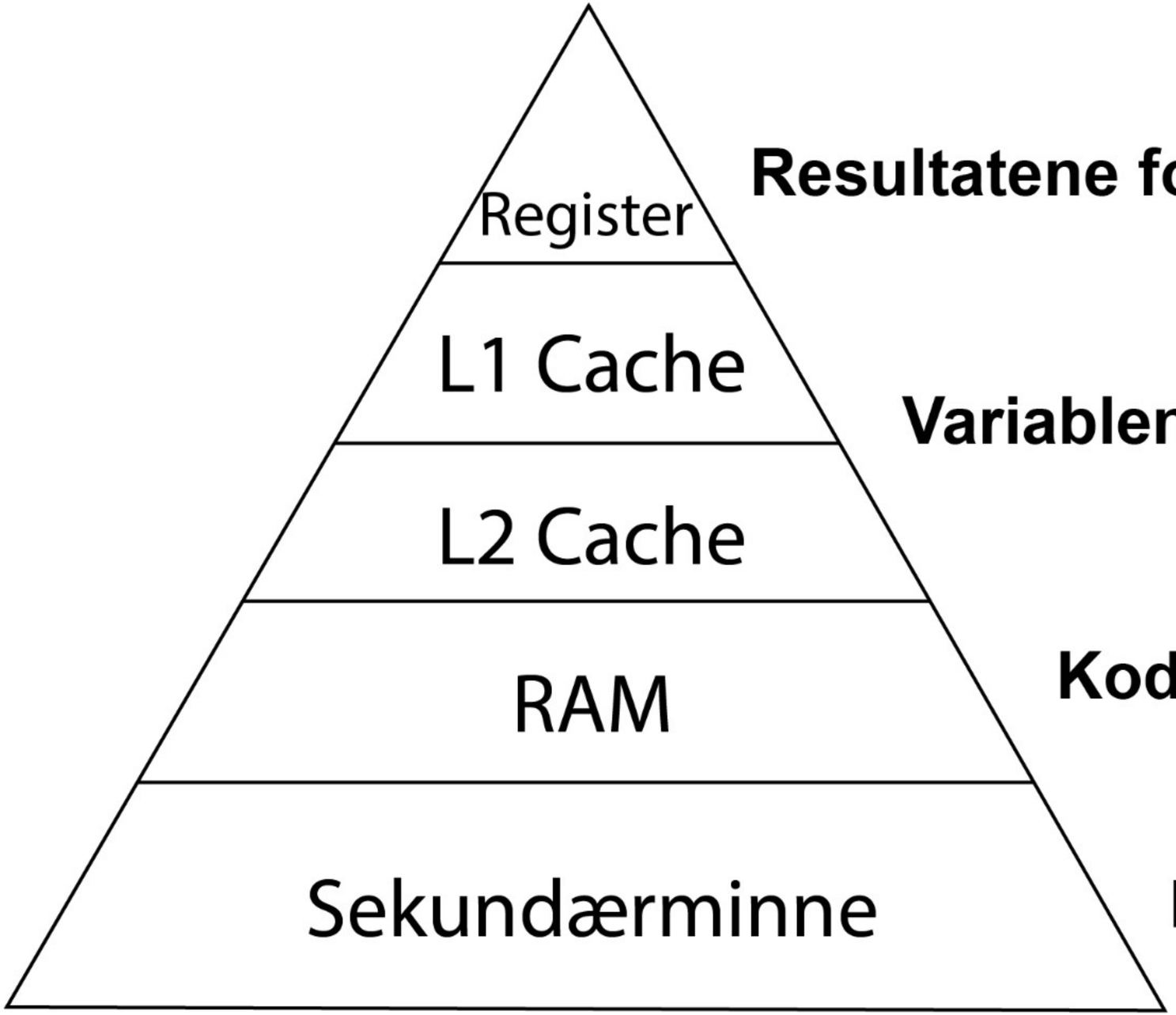
  Ekstern eller intern lagringsenhet i maskinen med kapasitet opptil flere TeraByte.

Mentimeter

Minnehierarki – aksesshastighet

Registers	< 1ns	≈ 100 Byte
L1 (på CPU) cache	≈ 1ns	≈ 10 KB
L2,L3 (utenfor CPU) cache	2-10ns	≈ 1 MB
Hovedminne (RAM)	20-100ns	≈ 1 GB
SSD/Flash	100ns-1us	≈ 1 TB
Harddisk	1ms	≈ 1 TB

Mentimeter



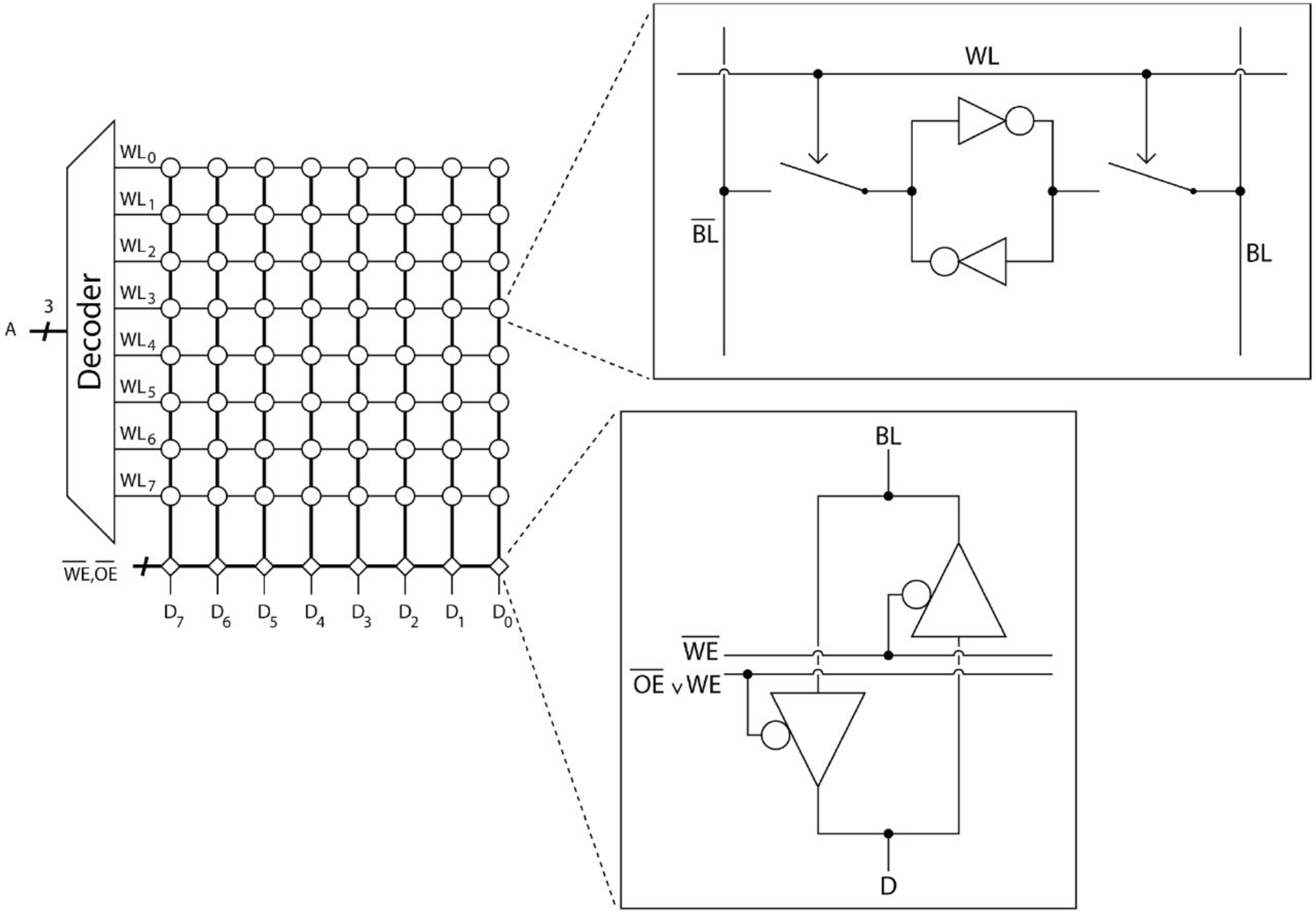
Resultatene for hver iterasjon

Variablene og telleren

Koden til For-løkke

Hele programmet

Mentimeter



Static Random Access Memory (SRAM)

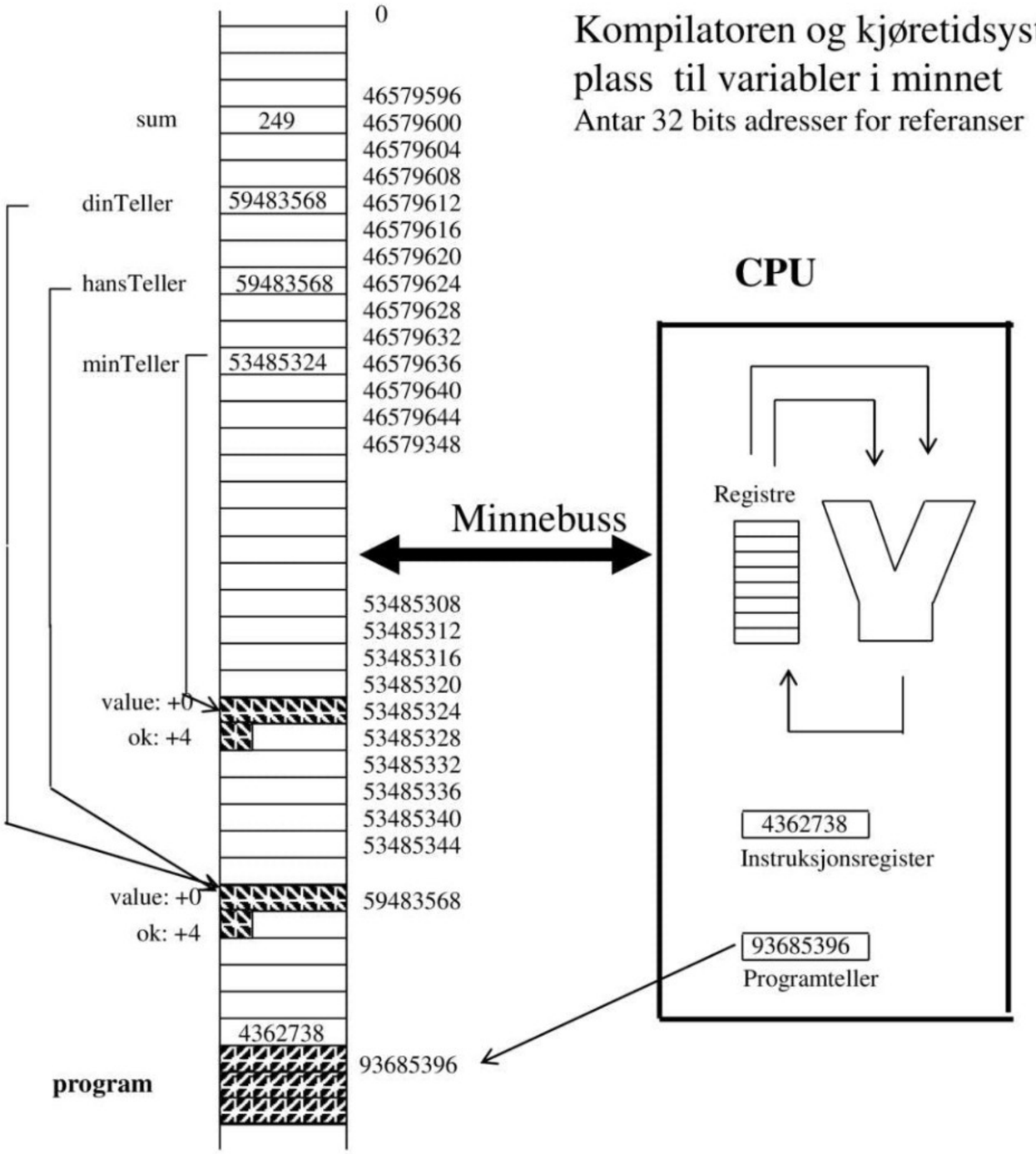
Mentimeter

Ram Terminologi

- **Address Space** - *Størrelsen på adresserbare minne enheter, oppgis enten i word eller bites*
- **Word Length** - *Antall bit som kan bli lest/skrevet i en operasjon*
- **Memory size** - *Størrelsen er gitt av address space x word length*

Kompilatoren og kjøretidsystemet setter av plass til variabler i minnet

Antar 32 bits adresser for referanser



sum ligger minnelokasjon 46579600, 46579601, 46579602 og 46579603

dinTeller ligger minnelokasjon 46579612, 46579613, 46579614 og 46579615

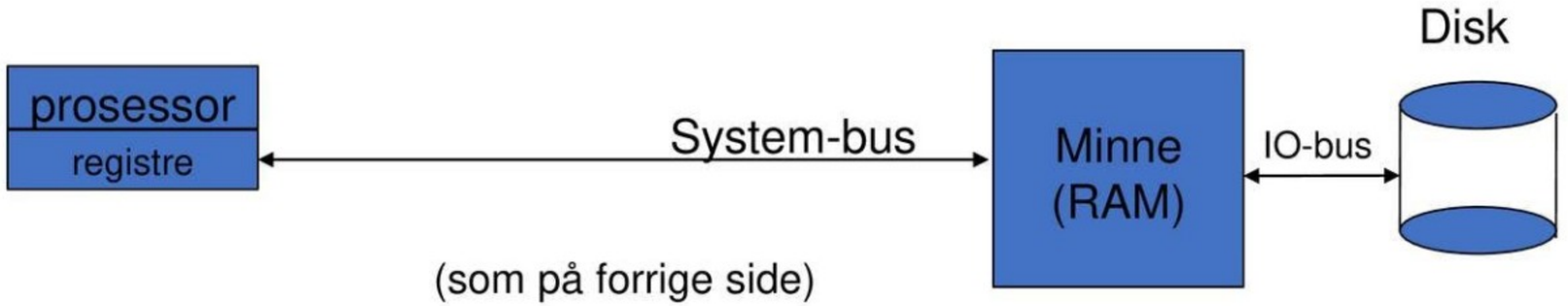
hansTeller ligger minnelokasjon 46579624, 46579625, 46579626 og 46579627

minTeller ligger minnelokasjon 46579636, 46579637, 46579638 og 46579639

value ligger i starten av objektet, mens ok ligger 4 byte ut i objektet

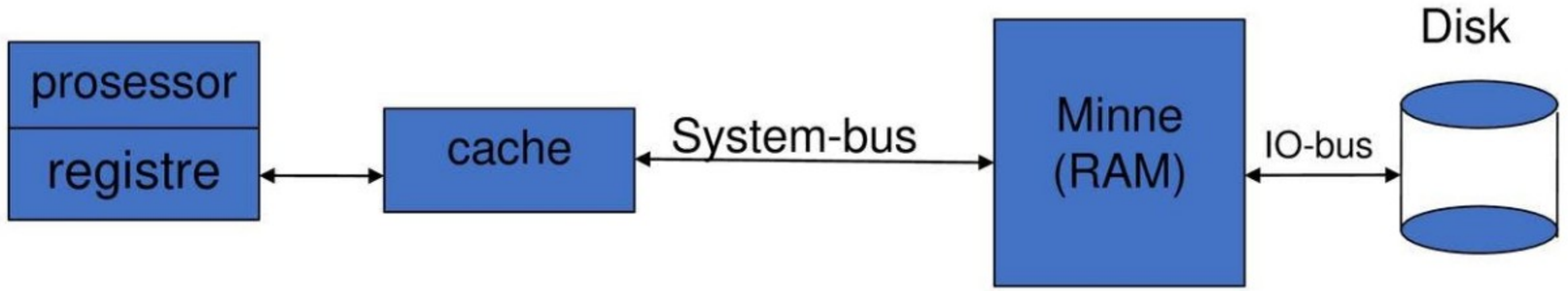
Datamaskinarkitektur (Computer Architecture)

1. I gamle dager =
(nesten) fremdeles dagens abstrakte modell:



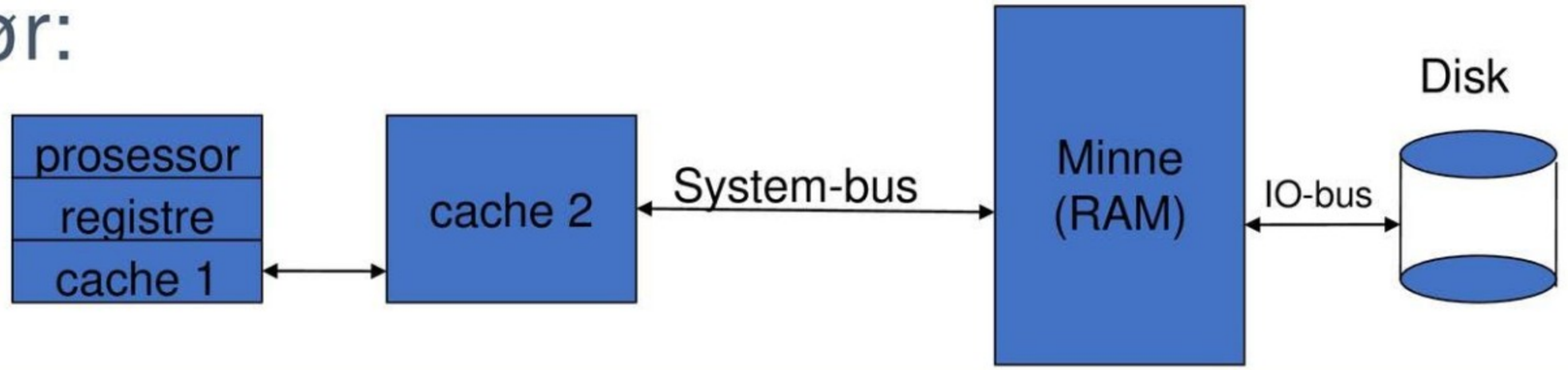
(som på forrige side)

2. Før:

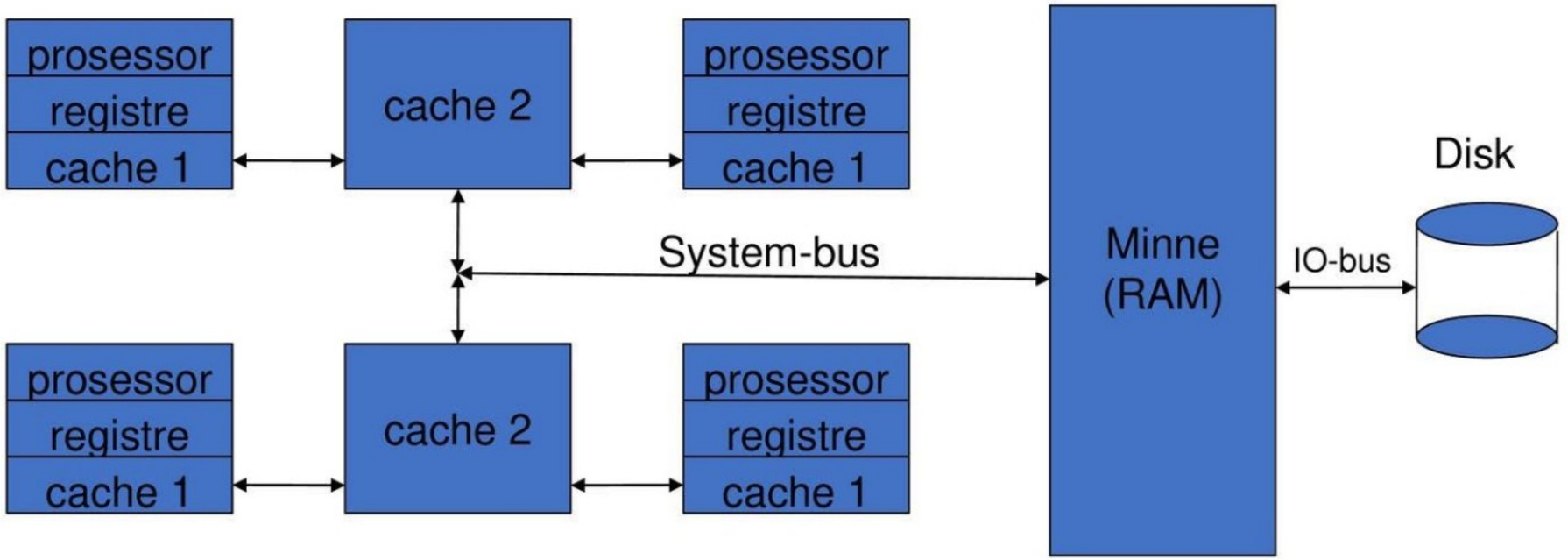


Datamaskinarkitektur (Computer Architecture)

3. Før:



4. Nå, f.eks:



Mentimeter

Hit og Miss

Cache-hit og cache-miss

RAM-hit and RAM-miss

Mentimeter

Koherens

Skrive til minne tar lengre tid enn å lese fra minne

Spørsmål

Mentimeter

0 questions

0 upvotes