

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i INF3400 — Digital mikroelektronikk

Eksamensdag: 9. juni 2010

Oppgavesettet er på 2 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a

Skissér en kurve som viser strømmen i en MOS transistor I_{DS} som funksjon av V_{DS} . Markér lineært område og metning på kurven. Skissér en kurve som viser strømmen i en MOS transistor I_{DS} som funksjon av V_{GS} . Markér terskelspenning, lineært område og metning på kurven. Forklar forskjellen på hastighetsmetning og metning (kanalforkortning).

1b

Gitt en inverter. Forklar hvordan bredde og lengde på transistorene påvirker:

1. Tidsforsinkelse.
2. Forsterkning.
3. Effektforbruk.

Hvordan påvirkes forsterkingen til inverteren av endring i forsyningsspenningen.

1c

Gitt en n-transistor (NMOS) med bredde $W = 0.1\mu\text{m}$ og $V_B = 0\text{V}$. I hvilke områder er transistoren (lineært, metning eller hastighetsmetning) og beregn transistorstrømmen I_{DS} når:

1. $L = 1\mu\text{m}$, $V_{DD} = 1\text{V}$, $V_G = 1\text{V}$, $V_D = 1\text{V}$ og $V_S = 0\text{V}$.
2. $L = 0.1\mu\text{m}$, $V_{DD} = 1\text{V}$, $V_G = 1\text{V}$, $V_D = 1\text{V}$ og $V_S = 0\text{V}$.

(Fortsettes på side 2.)

3. $L = 1\mu\text{m}$, $V_{DD} = 1\text{V}$, $V_G = 1\text{V}$, $V_D = 1\text{V}$ og $V_S = 0.5\text{V}$.

4. $L = 1\mu\text{m}$, $V_{DD} = 1\text{V}$, $V_G = 1\text{V}$, $V_D = 0.5\text{V}$ og $V_S = 0\text{V}$.

1d

Gitt funksjonen $F = \overline{D + BC + A}$. Tegn opp et transistordiagram som implementerer F ved hjelp av én komplementær CMOS port. Finn maksimal parasittisk («worst case») stige- og falltid for utgangen F .

Oppgave 2

2a

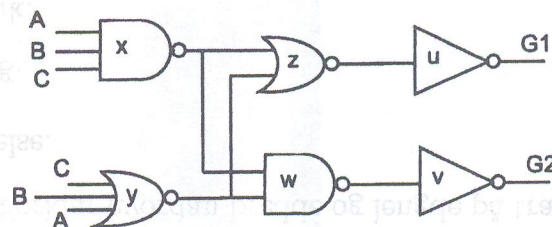


Figure 1: Kjede med porter.

Finn logisk effort for portene og logisk effort for kritisk signalvei.

2b

Anta at utgangene skal drive 2 minimumsinvertere. Finn elektrisk effort og effort F for kritisk signalvei.

2c

Hva blir optimal effort for portene? Finn transistorstørrelser for minimum kjedeforsinkelse når parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen.

2d

Hvordan vil du implementere $G1$ ved hjelp av en komplementær CMOS port?

2e

Hva blir stige- og falltid for en komplementær CMOS implementasjon for $G1$?