

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i Løsningsforslag — Digital mikroelektronikk

Eksamensdag:

Oppgavesettet er på 7 sider.

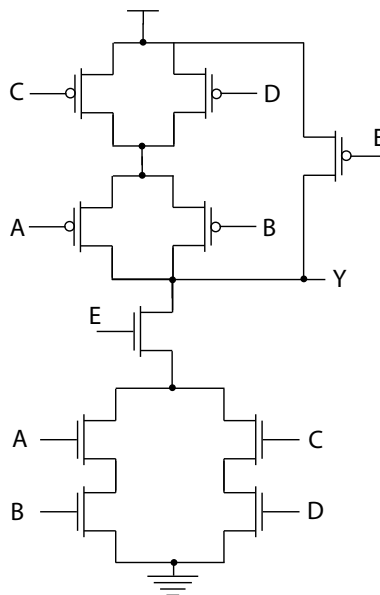
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a



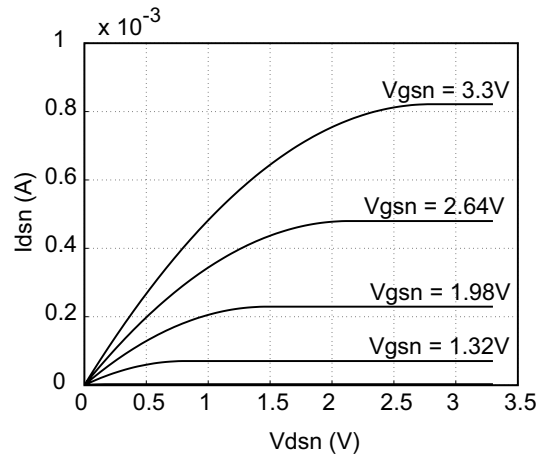
Figur 1: $Y = \overline{(A \cdot B + C \cdot D)} \cdot E$

Komplementær CMOS for funksjonen $Y = \overline{(A \cdot B + C \cdot D)} \cdot E$ er vist i Fig. 1.

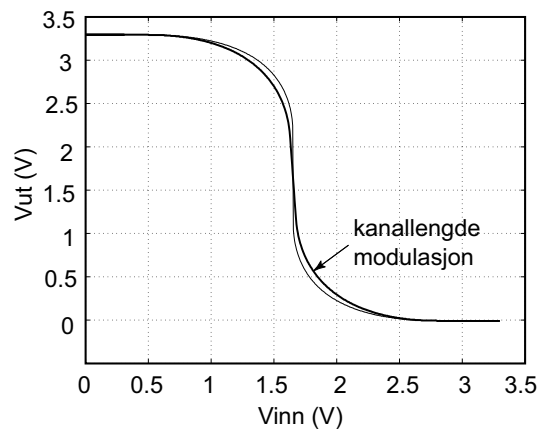
1b

Strøm som funksjon av V_{ds} er vidt i Fig 2. HER ER IKKE LINEÆRT OMRÅDE OG METNING MARKERT!

(Fortsettes på side 2.)

Figur 2: Strøm som funksjon av V_{ds}

1c



Figur 3: Inverter DC karakteristikk

Inverter DC karakteristikk er vist i Fig. 3. Forsterkningen avtar med økende λ og tidsforsinkelsen avtar med økende λ .

1d

Anta at forsterkningen i utgangspunktet er lik A (typisk 5 til 10) for $V_{DD} = 2V$. Når forsyningsspenningen reduseres til $1V$ endres ikke forsterkningen nevneverdig fordi transistorene vil være PÅ og i metning når utgangen er nær $V_{DD}/2$. Når forsyningsspenningen reduseres til $0.4V$ vil transistorene ikke være PÅ, men vil operere i svak inversjon (subterskel). Strømmen er da eksponensielt avhengig av inngangsspenningen som vil resultere i en stor relativ transkonduktans (g_m/I_{ds}) og dermed stor forsterkning. Begge transistorene er i "metning" når utgangen er nær $V_{DD}/2$. Ved ytterligere reduksjon av V_{DD} vil ikke transistorene være i metning og dermed reduseres forsterkningen til $\leq |1|$.

(Fortsettes på side 3.)

Oppgave 2

2a

$N = 1$ og $P = 2$ gir samme “worst case” effektiv motstand.

Vi antar at et diffusjonsområde for source/drain for en minimumstransistor er $0.4\mu m \cdot 0.2\mu m$. Vi uttrykker diffusjonskapasitanser som funksjon av transistor bredde

$$\begin{aligned} C_{diff} &= (W \cdot 0.2\mu m) \cdot C_{jbs} + (2W + 0.4\mu m) \cdot C_{jbssw} \\ &= W \cdot (0.2\mu \cdot C_{jbs} + 2 \cdot C_{jbssw}) + 0.4\mu m \cdot C_{jbssw} \\ &= W \cdot (0.3fF/\mu m + 0.2fF/\mu m) + 0.04fF \\ &= W \cdot 0.5fF/\mu m + 0.04fF. \end{aligned}$$

Vi kan forenke modellen ved å anta at $W \cdot 0.5fF/\mu m \gg 0.04fF$ slik at $C_{diff} \approx W \cdot 0.5fF/\mu m$. Dersom vi uttrykker diffusjonskapasitansen for en minimumstransistor som $C_{diff-min} = 0.4\mu m \cdot 0.5fF/\mu m = 0.2fF$ kan vi uttrykke diffusjonskapasitansen for transistorer med bredde relativt til minimumstransistoren. Dette gir kapasitans på utgangen bestående av diffusjonskapasitanser i porten

$$\begin{aligned} C_{diff-utgang} &= 2 \cdot 2 \cdot C_{diff-minimum} + 2 \cdot 1 \cdot C_{diff-minimum} \\ &= 6 \cdot C_{diff-min} \\ &= 1.2fF. \end{aligned}$$

2b

Effektiv motstand for nedtrekk er $R+R = 2R$ og for opptrekket får vi $2R/2+2R/2 = 2R$. Parasittisk tidsforsinkelse er gitt av $t_{pd} = 2R6C_{diff-min} = 12RC_{diff-min} = 4\tau$. For å finne logisk effort må vi doble breddene slik at effektiv motstand tilsvarer en enhetsinverter, $N=2$ og $P = 4$. Dette gir samme strøm som enhetsinverter, men nå er transistorbreddene doblet slik at logisk effort $g = 2$.

2c

Vi må først finne lasten som inverterne representerer. Vi starter med å finne gatekapasitans for en minimums transistor

$$\begin{aligned} C_{g-minimum} &= C_{ox}W_{minimum}L_{minimum} \\ &= \left(\frac{3.9 \cdot 8.85 \cdot 10^{-14}F/cm}{50 \cdot 10^{-8}cm} \right) 0.4\mu m 0.2\mu m \end{aligned}$$

(Fortsettes på side 4.)

$$\begin{aligned}
&= 0.866 \cdot 10^{-14} \frac{F}{\mu m^2} \cdot 0.08 \mu m^2 \\
&= 8.66 \frac{fF}{\mu m^2} \cdot 0.08 \mu m^2 \\
&\approx 0.7 fF.
\end{aligned}$$

Videre antar vi at en HI-skew inverter har dobbel pMOS bredde i forhold til en enhetsinverter, dvs. $P=4$, som gir en total gatakapasitans pr. inverter lik $5C_{g-\text{minimum}}$.

Vi kan beregne den totale kapasitansen for utgangen

$$\begin{aligned}
C_{\text{utgang}} &= C_{\text{diff-utgang}} + 4 \cdot 5 \cdot C_{g-\text{minimum}} \\
&= 1.2 fF + 20 \cdot 0.7 fF \\
&= 15.2 fF.
\end{aligned}$$

Dette gir en tidsforsinkelse for porten $t_{pd} = 2R \cdot C_{\text{utgang}} = 6k\Omega \cdot 15.2 fF = 91.2 ps$.

2d

Vi kan halvere pMOS transistore for å gjøre porten LO-skew. Dette gir total utgangskapasitans

$$\begin{aligned}
C_{\text{utgang-LO}} &= (2 \cdot 1 + 2 \cdot 1) C_{\text{diff-minimum}} + 20 \cdot C_{g-\text{minimum}} \\
&= 4C_{\text{diff-minimum}} + 20 \cdot C_{g-\text{minimum}} \\
&= 4 \cdot 0.2 fF + 14 fF \\
&= 14.8 fF.
\end{aligned}$$

I dette tilfellet må vi huske på at tidsforsinkelse for opptrekk av utgangen Y øker fordi den effektive motstanden i dette tilfellet blir $2R + 2R = 4R$, som gir tidsforsinkelse for opptrekk lik $t_{pd-\text{opptrekk}} = 4R \cdot 14.8 fF = 177.6 ps$. Tidsforsinkelsen for nedtrekket blir $t_{pd-\text{nedtrekk}} = 2R \cdot 14.8 fF = 88.8 ps$, som gir en gjennomsnittlig tidsforsinkelse $t_{pd} = 133.2 ps$.

For å gjøre porten HI skew må vi doble bredden på pMOS transistorene som står i serie. Det er ikke nødvendig å endre bredden på pMOS transistoren som er kontrollert av inngang C fordi den effektive motstanden som denne transistoren representerer er halvparten av de to pMO transistorene i serie. Den totale utgangskapasitansen blir da

$$C_{\text{utgang-HI}} = (1 \cdot 4 + 1 \cdot 2 + 2 \cdot 1) C_{\text{diff-minimum}} + 20 \cdot C_{g-\text{minimum}}$$

(Fortsettes på side 5.)

$$\begin{aligned}
&= 8C_{diff-minimum} + 20 \cdot C_{g-minimum} \\
&= 8 \cdot 0.2fF + 14fF \\
&= 15.6fF.
\end{aligned}$$

Effektiv motstand for opptrekket blir da $2R/4 + 2R/4 = R$ som gir tidsforsinkelsen $t_{pd-opptrekk} = R \cdot 15.6fF = 46.8ps$. Tidsforsinkelse for nedtrekk blir $t_{pd-nedtrekk} = 2R \cdot 15.6fF = 93.6ps$, som gir en gjennomsnittlig tidsforsinkelse $t_{pd} = 70.2ps$.

Oppgave 3

3a

NAND portene har logisk effort lik $4/3$, NOR porten har logisk effort lik $5/3$ og inverteren har logisk effort lik 1. Logisk effort for kjeden blir

$$\begin{aligned}
G &= \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} \\
&= \frac{80}{27} \\
&\approx 3.
\end{aligned}$$

Kjedens elektriske effort blir lik $H = 4 \cdot 3/x = 12/x$.

Vi ser at den er en forgening etter første inverter. Kjedenes forgrenings-effort blir da

$$\begin{aligned}
B &= \frac{y + y + y}{y} \\
&= 3.
\end{aligned}$$

Kjedens effort $F = GBH = (2880/27x)$.

3b

Kjedens optimale port effort blir $f' = ((2880)/(27x))^{1/3} =$. Parasittisk tidsforsinkelse for kjeden blir $P = 2 + 2 + 2 = 6$. Minimum kjedeforsinkelse blir $D = 3 \cdot f' + P = 3 \cdot ((2880)/(27x))^{1/3} + 6$. Vi antar at parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse, som gir

$$3 \cdot \left(\frac{2880}{27}\right)^{1/3} x^{-1/3} = P$$

(Fortsettes på side 6.)

$$\begin{aligned}
 x^{1/3} &= \left(\frac{2880}{27}\right)^{1/3} \cdot \left(\frac{3}{P}\right) \\
 x &= \left(\frac{2880 \cdot 3^3}{27}\right) P^{-3} \\
 &= \frac{77760}{27 \cdot 216} \\
 &= 13\frac{1}{3} \\
 &\approx 13,
 \end{aligned} \tag{1}$$

som gir nMOS- og pMOS transistorstørrelse 6.5. Dette gir minimum kjedeforsinkelse $D = 12\tau$.

3c

Vi må finne effektiv motstand i opptrekk og nedtrekk

$$\begin{aligned}
 R_{opptrekk} &= \frac{2R}{P} \\
 R_{nedtrekk} &= 3 \cdot \frac{R}{N}.
 \end{aligned}$$

En port uten skew betyr at $R_{opptrekk} = R_{nedtrekk}$, dvs. $N = (3/2)P$, for eksempel $N = 2$ og $P = 3$.

3d

En dynamisk NAND3 port er vist i figur 4. Logisk effort for nedtrekket blir

$$\begin{aligned}
 g_{nedtrekk} &= \frac{N}{3 \left(\frac{1}{N} + \frac{1}{N} + \frac{1}{N} + \frac{1}{N}\right)^{-1}} \\
 &= \frac{4}{3}.
 \end{aligned}$$

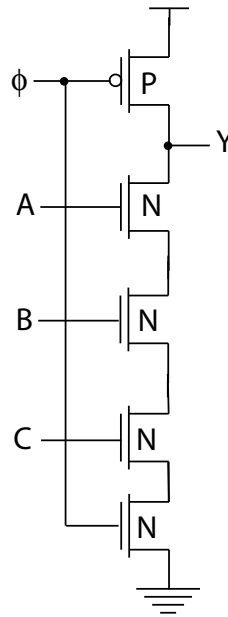
Fornuftig verdi for N er 4.

3e

Parasittisk tidsforsinkelse for nedtrekket blir

$$\begin{aligned}
 P_{nedtrekk} &= \left(\frac{1}{N} + \frac{1}{N} + \frac{1}{N} + \frac{1}{N}\right) R_{effektiv} (1 + N) C \\
 &= R_{effektiv} (1 + N) C
 \end{aligned}$$

(Fortsettes på side 7.)

Figur 4: *NAND3 port.*

$$\begin{aligned}
 &= R(1 + 4)C \\
 &= 5RC \\
 &= \frac{5}{3}\tau.
 \end{aligned}$$

3f

Motstanden og kapasitansen i en leder, typisk metall, er proporsjonal med lengden på lederen. Dette vil gi en stor tidsforsinkelse for signaler som skal transporteres langt. Det er vanlig å bruke de øverste metallag for distribusjon av forsyningsspenninger og klokker, pga liten egenmotstand.