

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i Prøveeksamen — Digital mikroelektronikk

Eksamensdag:

Oppgavesettet er på 4 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før
du begynner å besvare spørsmålene.

Oppgave 1

1a

Gitt funksjonen $Y = \overline{(A \cdot B + C \cdot D) \cdot E}$. Tegn et transistorskjema (skjematikk) i komplementær CMOS for funksjonen.

1b

Gitt enkle transistor modeller for nMOS transistor, skisser strøm som funksjon av V_{ds} for ulike V_{gs} spenninger. Marker lineært område og metning på skissen.

1c

Gitt en inverter med $\beta_p = \beta_n$. Skisser en inverter DC karakteristikk der vi antar at kanallengde modulasjonsfaktor (λ) er 0. Forklar hvordan karakteristikken endres dersom vi antar at $\lambda > 0$, hvordan blir forsterkningen og tidsforsinkelsen påvirket?

1d

Gitt transistorer med terskelspenninger $V_{tn} = 0.5V$ og $V_{tp} = -0.4V$. Anta at transistorene ikke går i hastighetsmetning. For en inverter vil forsterkningen være avhengig av spenningsforsyningen V_{DD} . Anta at $GND = V_{SS} = 0V$ og forklar hvordan forsterkningen endres når V_{DD} reduseres fra $2V$ til:

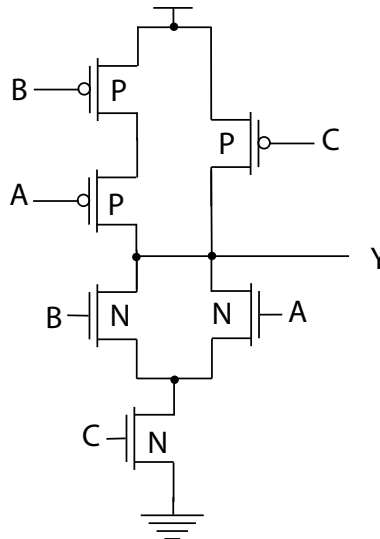
1. $1V$
2. $0.4V$

(Fortsettes på side 2.)

3. 0.05V.

Oppgave 2

2a

Figur 1: *Komplimentær CMOS port.*

Gitt porten i Fig. 1, der alle transistorene har minimumslengde ($0.2\mu m$) og bredden på pMOS transistorene er P ganger minimumsbredde ($0.4\mu m$) og bredden på nMOS transistorene er N ganger minimum bredde. Finn N og P slik at intrinsikk kapasitans blir minst mulig og at effektiv motstand i opptrekk og nedtrekk blir like (“worst case”).

Anta videre at minimums kontaktstørrelse er $0.1\mu m$ og at minimums-overlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

2b

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Anta at $R = 3k\Omega$ og finn effektiv motstand i opptrekk og nedtrekk (“worst case”). Beregn parasittisk tidsforsinkelse når vi bare tar hensyn til kapasitans på utgangen og bruker den effektive motstanden (ikke Elmore forsinkelses modell). Hva er logisk effort for porten?

(Fortsettes på side 3.)

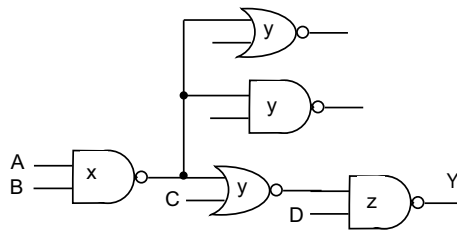
2c

Anta at porten skal drive fire HI-skew invertere med minimums nMOS transistorer. Hva blir tidsforsinkelse for porten i dette tilfellet?

2d

Hva blir logisk effort, og tidsforsinkelse med HI-skew inverterne som last, for porten dersom vi lager

1. LO-skew utgave,
2. HI-skew utgave.

Oppgave 3**3a**

Figur 2: Kjede med porter.

Finne logisk effort for portene og kjeden i Fig. 2. Anta at utgangen Y skal drive 4 enhetsinvertere. Finn elektrisk for kjeden. Hva blir kjedens effort F ?

3b

Hva blir optimale port effort for kjeden? Finn kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse. Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finn en verdi for x slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

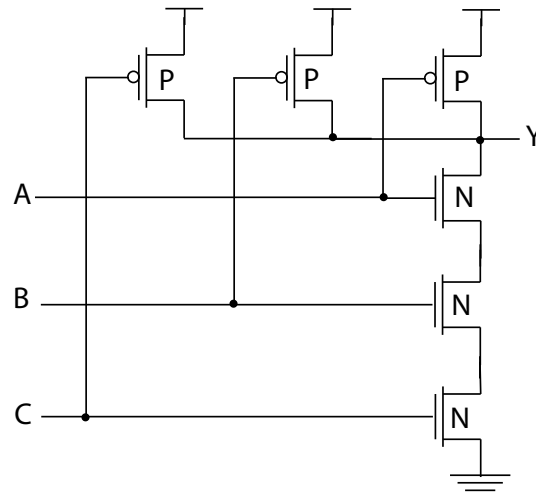
3c

Gitt kretsen i Fig. 3. Hva blir transistorørrelsene N og P når porten skal ha lik tidsforsinkelse (worst case ikke skew) for opptrekk og nedtrekk?

3d

Gjør om porten til en dynamisk port (med fot - footed). Finn logisk effort for nedtrekket. Anta at $P=1$, finn fornuftige verdi for N .

(Fortsettes på side 4.)

Figur 3: *NAND3* port.**3e**

Hva blir parasittisk tidsforsinkelse for nedtrekket?

3f

Hvorfor trengs buffere (repeaters) for å drive signaler over en viss avstand? Hvilke metallag er det vanlig å bruke til å distribuere spenningsreferanser og klokkesignaler?