

# INF3400/4400 Digital Mikroelektronikk

## Obligatoriske deloppgaver DEL 3

### Våren 2007

YNGVAR BERG

#### I. DEL 3

##### Del 3: Utvidet transistormodell og DC karakteristikk for inverter og pass transistor

#### II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 3 (og DEL 4) blir gjennomgått 16 februar. Obligatoriske deloppgaver i DEL 3 skal gjennomføres i uke 8.

#### III. Obligatoriske deloppgaver

##### A. Oppgave 1

1. Ta utgangspunkt i transistormodeller i matlab fra Del 2. Skisser en inverter DC karakteristikk (V-V) ved hjelp av transistormodellene.

(a) Marker på karakteristikken ulike operasjonsområder for nMOS- og pMOS transistoren.

(b) Hva blir forsterkningen for inverteren, forsterkning kan uttrykkes som  $\Delta V_{ut}/\Delta V_{in}$  der  $\Delta V_{in} < V_{DD}$ .

2. Hva blir inverterens inngangsterskel?

##### B. Notater

##### C. Oppgave 2

Gitt prosessparameterverdier for en 90nm CMOS prosess:

$t_{ox} = 40\text{\AA}$ ,  $\mu_n = 180 \frac{cm^2}{V \cdot s}$ ,  $\mu_p = 90 \frac{cm^2}{V \cdot s}$ ,  $V_{tn} = 0.25V$ ,  $V_{tp} = -0.25V$ ,  $\lambda_n = 0.1V^{-1}$ ,  $\lambda_p = 0.1V^{-1}$  og transistorstørrelser  $\frac{W_n}{L_n} = \frac{100nm}{1.4\mu}$  for nMOS transistoren og  $\frac{W_p}{L_p} = \frac{200nm}{1.4\mu}$  for pMOS transistoren. Modeller nMOS og pMOS transistor ned hjelp av transistormodeller med kanallengdemodulasjon i **matlab**:

1. Plott nMOS transistorstrøm  $I_{dsn}$  som funksjon av  $V_{dsn}$ . Velg gate source spenninger:

(a)  $V_{gsn} = 1.2V$ .

(b)  $V_{gsn} = 0.6V$ .

(c)  $V_{gsn} = 0.1V$ .

2. Plott pMOS transistorstrøm  $I_{sdp}$  som funksjon av  $V_{sdp}$ . Velg source gate spenninger:

(a)  $V_{sgp} = 1.2V$ .

(b)  $V_{sgp} = 0.6V$ .

(c)  $V_{sgp} = 0.1V$ .

##### D. Oppgave 3

Opgavene utføres i grupper på 2 studenter. Ved hjelp av Cadence sjematikk editor og spectre, med  $W_n/L_n = 100nm/1.4\mu$ , skal følgende simuleringer utføres

1. DC simulering av CMOS inverter (komplementær inverter), der pMOS transistoren har størrelsen  $W_p/L_p = 200nm/1.4\mu$ .

2. DC simulering av inverter med lastmotstand, der  $R_{last} = 4k\Omega$ .

3. DC simulering av CMOS inverter med en laststrøm, der  $I_{last} = 300\mu A$ .

4. DC simulering av pseudo nMOS inverter, der pMOS transistoren har størrelsen  $W_p/L_p = 400nm/1.4\mu$ .

Lag plot som viser utgangsspenningen som funksjon av inngangsspenningen, strømmen gjennom nMOS transistoren som funksjon av inngangsspenningen, og finn forsterkningen og støymarginer for de ulike kretsene.

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,