

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i INF3400 — Digital mikroelektronikk

Eksamensdag: 13. juni 2006

Oppgavesettet er på 3 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før
du begynner å besvare spørsmålene.

Oppgave 1

1a

Gitt funksjonen $Y = \overline{A \cdot (B + C) \cdot (D + E + F)}$. Tegn et transistorskjema (skjematikk) i komplementær CMOS for funksjonen. (Dersom du ikke løser denne oppgaven må du benytte en selvvalgt komplementær CMOS port med 6 innganger, A, B, C, D, E, F ved besvarelse av de resterende deloppgavene i denne oppgaven.)

1b

Anta at alle pMOS transistorer er like (størrelse) og alle nMOS transistorer er like. Hvordan vil du dimensjonere transistorene i porten slik at “worst-case” (maks.) stige- og falltid blir like? Du kan anta at mobiliteten for nMOS transistorer er dobbelt så stor som mobiliteten for pMOS transistorer. For hvilke inngangsverdier vil porten ha minst stigetid/falltid? Vil minimum stigetid og falltid være like? Finn effektiv motstand i opptrekk og nedtrekke som gir minimum stige- og falltider.

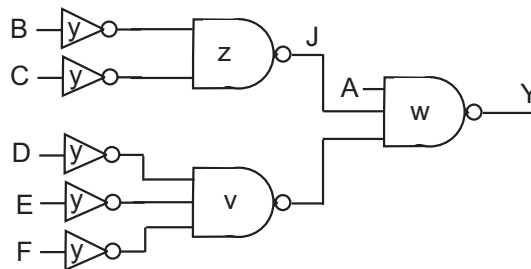
1c

Anta at minimumsbredde på transistorer er $0.2\mu m$. Anta videre at minste kontaktstørrelse er $0.1\mu m$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu m$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn lastkapasitansen på portens utgang ved “worst case”. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu m^2$ og $C_{jbsw} = 0.1fF/\mu m$. Anta videre at diffusjonsområdet strekker seg $0.2\mu m$ ut fra gaten (polysilisium).

(Fortsettes på side 2.)

1d

Anta at utgangen skal drive en minimumsinverter (enhetsinverter). Bruk Elmore forsinkelsesmodell og finn tidsforsinkelse når inngangene er $A = C = F = 1$, $B = D = E = 0$. Anta at $t_{ox} = 50\text{\AA}$ og at minimum lengde er $0.2\mu\text{m}$.

Oppgave 2**2a**

Figur 1: Kjede med porter.

Finne logisk effort for portene og kritisk signalvei (den som vil gi størst tidsforsinkelse) i kjeden. Anta at utgangen Y skal drive 4 enhetsinvertere. Finne elektrisk effort for portene og kjeden. Hva blir kjedens effort F ?

2b

Hva blir optimal port effort for portene i kritisk signalvei i kjeden? Finne kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse. Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finne en verdi for y slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

2c

Finne transistorstørrelser som gir minimum kjedeforsinkelse når parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse.

Oppgave 3**3a**

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av V_{ds} for ulike V_{gs} spenninger. Marker lineært område og metning på skissen. Hva er hastighetsmetning? Hvordan påvirker hastighetsmetning tidsforsinkelse i en port?

(Fortsettes på side 3.)

3b

Hvordan vil DC karakteristikken (V_{ut} som funksjon av V_{in}) for en inverter med $V_{DD} = 1.3V$ og $V_{tn} = -V_{tp} = 0.4V$ se ut når:

1. vi antar at lengden på transistorene er $0.2\mu m$,
2. vi reduserer V_{DD} til $0.3V$.
3. vi antar at lengden på transistorene er $1\mu m$ og $V_{DD} = 1.3V$.

3c

Anta at en metalleder med egenmotstand $R_w = 0.1\Omega/\mu m$ og egenkapasitans $C_w = 0.2fF/\mu m$ skal drives av en inverter med $R_p = 1k\Omega \cdot \mu m$ og parasittisk kapasitans $C_p = 6fF/\mu m$. Sett inn et riktig antall repeaterer når lengden på lederen er $x\mu m$. Hva blir størrelsen på nMOS- og pMOS transistorene i repaeterne?

3d

Hvordan kan latchup påvirke en CMOS krets? Hvordan vil gate lekkasjestrøm (tunneling) påvirke en dynamisk krets?