

INF3400/4400 Digital Mikroelektronikk

Løsningsforslag DEL 9

Våren 2007

YNGVAR BERG

I. DEL 9

Del 9: Dynamisk CMOS

II. OPPGAVER

A. Oppgave 6.27

Tegn transistorskjema for dynamisk footed 3inngangs NAND og NOR porter. Angi bredde på transistorene. Hva blir logisk effort for portene?

A.1 Løsningsforslag

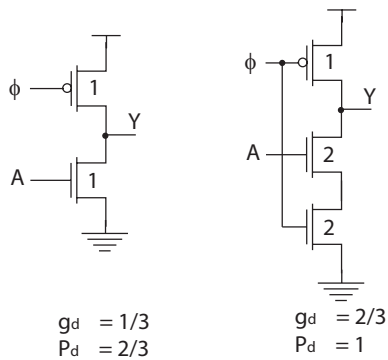


Fig. 1. Dynamisk invertere. (FIG6.25)

De to implementasjonene av dynamisk inverter som er vist i Fig. 1 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed dynamisk inverter har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3W_n} \\
 &= \frac{1}{3} \\
 P_d &= \frac{1}{W_n} R \cdot (W_p + W_n) C \\
 &= 1R \cdot 2C \\
 &= 2RC \\
 &= \frac{2}{3}\tau,
 \end{aligned} \tag{1}$$

der det for ikke-footed dynamisk inverter ved opptrekk er forutsatt at $A = 0$. Det er viktig å være klar over at logisk effort og parasittisk tidsforsinkelse for opptrekk er mindre viktig enn logisk effort og parasittisk tidsforsinkelse for nedtrekket. Dette skyldes at i en vanlig anvendelse av dynamiske porter vil en

kjede av logiske porter precharges samtidig (i parallell), mens nedtrekket vil påvirkes av kjedens lengde.

Vi kan beregne den effektive motstanden i nedtrekket:

$$\begin{aligned}
 R_{nedtrekk} &= (R_n + R_n) \\
 &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \\
 &= R.
 \end{aligned} \tag{2}$$

Hver for seg representerer nMOS transistorene en motstand lik $(1/2)R$ og tilsammen i en kjede vil den effektive motstanden være lik R . Forholdet mellom motstanden for hver av nMOS transistorene i en NAND2 port og motstanden i nMOS transistoren i en enhetsinverter er gitt av:

$$\begin{aligned}
 R_n &= \frac{W_{enhets-nMOS} R}{W_n} \\
 &= \frac{1}{W_n} R.
 \end{aligned} \tag{3}$$

I dette aktuelle tilfellet er dette $1/W_n = 1/2$. Vi ser at det effektive nedtrekket i porten tilsvarer nedtrekket i en enhetsinverter.

For footed inverter har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3\left(\frac{2}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{\frac{3W_n}{2}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2) C \\
 &= 3RC \\
 &= 1\tau.
 \end{aligned} \tag{4}$$

De to implementasjonene av dynamisk 2inngangs NAND porter som er vist i Fig. 2 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed 2inngangs dynamisk NAND port har vi:

$$g_d = \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}}$$

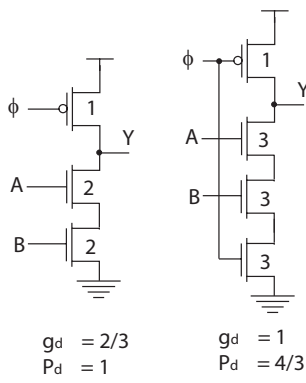


Fig. 2. Dynamisk NAND2 porter. (FIG6.25)

$$\begin{aligned}
 &= \frac{W_n}{3 \left(\frac{2}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3 \frac{W_n}{2}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2) C \\
 &= 3RC \\
 &= 1\tau,
 \end{aligned} \tag{5}$$

der det for ikke-footed dynamisk NAND2 port ved opptrekk er forutsatt at A eller B = 0.

For 2inngangs footed NAND port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{3}{3 \left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3}\right)^{-1}} \\
 &= 1 \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3}\right) R \cdot (1 + 3) C \\
 &= 4RC \\
 &= \frac{4}{3}\tau.
 \end{aligned} \tag{6}$$

De to implementasjonene av dynamisk 2inngangs NOR porter som er vist i Fig. 3 vil ha ulik logisk effort og parasittisk tidsforsinkelse. For ikke-footed 2inngangs dynamisk NOR, der vi for worst case antar at bare en av nMOS transistorene er på i nedtrekket, port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3W_n} \\
 &= \frac{1}{3} \\
 P_d &= \frac{1}{W_n} R \cdot (W_p + W_n + W_n) C
 \end{aligned}$$

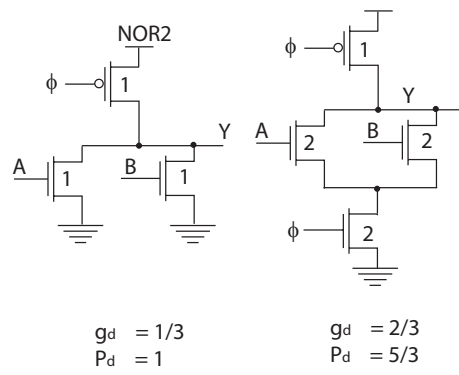


Fig. 3. Dynamisk NOR2 porter. (FIG6.25)

$$\begin{aligned}
 &= 1R \cdot (1 + 1 + 1) C \\
 &= 3RC \\
 &= 1\tau,
 \end{aligned} \tag{7}$$

der det for ikke-footed dynamisk NOR2 port ved opptrekk er forutsatt at A og B = 0. Vi ser at en dynamisk ikke-footed NOR port tilsvarer en dynamisk ikke-footed inverter.

For footed 2inngangs NOR port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{2}{3 \left(\frac{1}{2} + \frac{1}{2}\right)^{-1}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n + W_n) C \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2 + 2) C \\
 &= 5RC \\
 &= \frac{5}{3}\tau.
 \end{aligned} \tag{8}$$

En footed NOR port vil få en større relativ økning i parasittisk tidsforsinkelse enn en footed NAND port, fordi antall nMOS transistorer i nedtrekkskjeden dobles, mens antallet for NAND porten økes fra 2(n) til 3(n+1).

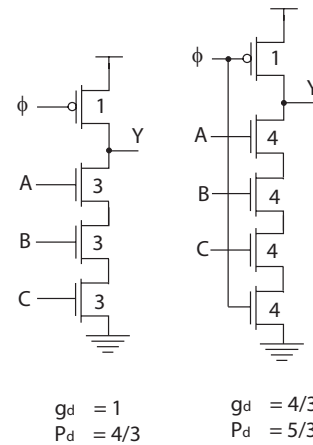


Fig. 4. Dynamisk NAND3 porter.

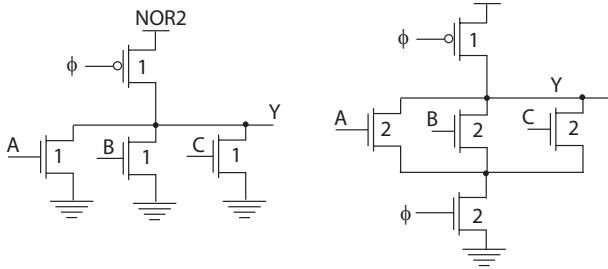
De to implementasjonene av dynamisk 3inngangs NAND porter som er vist i Fig. 4 vil ha ulik logisk effort og parasitisk tidsforsinkelse. For ikke-footed 3inngangs dynamisk NAND port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{3}{3\left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3}\right)^{-1}} \\
 &= 1 \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{3} + \frac{1}{3} + \frac{1}{3}\right) R \cdot (1 + 3) C \\
 &= 4RC \\
 &= \frac{4}{3}\tau,
 \end{aligned} \tag{9}$$

der det for ikke-footed dynamisk NAND3 port ved opptrekk er forutsatt at A, B eller C = 0.

For footed 3inngangs NAND port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{4}{3\left(\frac{1}{4} + \frac{1}{4} + \frac{1}{4} + \frac{1}{4}\right)^{-1}} \\
 &= \frac{4}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n) C \\
 &= \left(\frac{1}{4} + \frac{1}{4} + \frac{1}{4} + \frac{1}{4}\right) R \cdot (1 + 4) C \\
 &= 5RC \\
 &= \frac{5}{3}\tau.
 \end{aligned} \tag{10}$$



$$\begin{aligned}
 g_d &= 1/3 \\
 P_d &= 4/3
 \end{aligned}$$

$$\begin{aligned}
 g_d &= 2/3 \\
 P_d &= 7/3
 \end{aligned}$$

Fig. 5. Dynamisk NOR3 porter.

De to implementasjonene av dynamisk 3inngangs NOR porter som er vist i Fig. 5 vil ha ulik logisk effort og parasitisk tidsforsinkelse. For ikke-footed 3inngangs dynamisk NOR, der vi for worst case antar at bare en av nMOS transistorene er på i nedtrekket, port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n}\right)^{-1}} \\
 &= \frac{W_n}{3W_n}
 \end{aligned}$$

$$\begin{aligned}
 &= \frac{1}{3} \\
 P_d &= \frac{1}{W_n} R \cdot (W_p + W_n + W_n + W_n) C \\
 &= 1R \cdot (1 + 1 + 1 + 1) C \\
 &= 4RC \\
 &= \frac{4}{3}\tau,
 \end{aligned} \tag{11}$$

der det for ikke-footed dynamisk NOR3 port ved opptrekk er forutsatt at A, B og C = 0.

For footed 3inngangs NOR port har vi:

$$\begin{aligned}
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\frac{1}{W_n} + \frac{1}{W_n}\right)^{-1}} \\
 &= \frac{2}{3\left(\frac{1}{2} + \frac{1}{2}\right)^{-1}} \\
 &= \frac{2}{3} \\
 P_d &= \left(\frac{1}{W_n} + \frac{1}{W_n}\right) R \cdot (W_p + W_n + W_n + W_n) C \\
 &= \left(\frac{1}{2} + \frac{1}{2}\right) R \cdot (1 + 2 + 2 + 2) C \\
 &= 7RC \\
 &= \frac{7}{3}\tau.
 \end{aligned} \tag{12}$$

B.

Tegn transistorskjema for funksjonen $F = A \cdot B \cdot (C + D)$ ved å bruke domino logikk.

B.1 Løsningsforslag

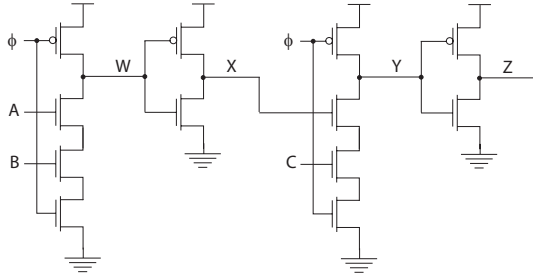


Fig. 6. Domino logikk. (FIG6.28a)

Vi kan unngå det grunnleggende problemet med footed dynamisk logikk ved å sette inn en inverter, eller et oddetall inverterende porter, mellom hver dynamisk port som vist i Fig. 6. Vi kaller denne logikkstilen *domino logikk*. For precharge porten med utgang Y vil inngangen fra en tilsvarende port via en inverter X alltid være 0 under precharge.

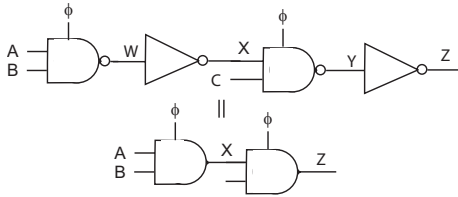


Fig. 7. Domino logikk. (FIG6.28bc)

Detaljer for domino logikk som vist i Fig. 6 er vist i Fig. 7. Vi antar at $A = 0$ ved precharge¹. Legg merke til at det ikke er nødvendig å forutsette at inngangen B og C er 0 ved precharge fordi nedtrekket er skrudd av ved hjelp av A og X. Legg merke til at dersom vi kan forutsette at ett av inngangssignalene i nedtrekkskjeden i domino logikk er 0 vil det ikke være nødvendig med den nederste transistoren i nedtrekket. Vi kan med andre ord bruke en ikke-footed dynamisk port.

Funksjonen $F = A \cdot B \cdot (C + D)$ implementert ved å bruke domino logikk er vist i Fig. 8.

Transistorskjema for dominologikk som implementer funksjonen $F = A \cdot B \cdot (C + D)$ er vist i Fig. 9. Vi velger å implementere funksjonen med små delkretser som har liten fan-in. Dette er viktig for å redusere problemer med ladningsdeling.

Et viktig problem knyttet til dynamisk logikk er *ladningsdeling*.

¹Vi kan anta at A er en invertert utgang fra en domino port.

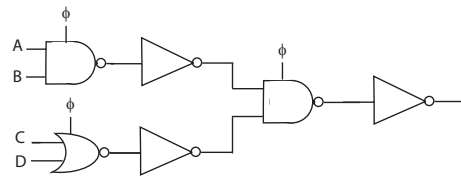


Fig. 8. Domino logikk for funksjonen $F = A \cdot B \cdot (C + D)$.

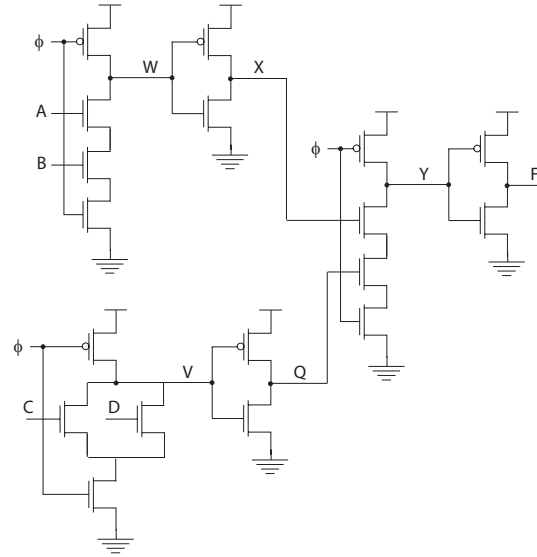


Fig. 9. Transistorskjema for domino logikk for funksjonen $F = A \cdot B \cdot (C + D)$.

Den dynamiske porten i Fig. 10 vil bli precharge til 1 når $\phi = 0$. Vi kan anta følgende situasjon: **Precharge:** $\phi = 0$ og $A = B = 0$ etterfulgt av **evaluate:** $\phi = 1$, $A = 0 \rightarrow 1$ og $B = 0$. Vi antar at noden $X = 0$ i slutten av prechargeperioden. I starten av evalueringsperioden vil inngangen A stige og skru på transistoren N1. En strøm i N1 vil ikke bare sørge for at spenningen på noden X stiger, men ikke minst at utgangen Y faller fordi pMOS transistoren vil være skrudd av under evaluering. Vi har i denne situasjonen en logisk høy utgang, men med en begrenset ladning knyttet til utgangskapasitansen C_1 . Noe av denne ladningen vil flyttes via transistoren N1 til noden X. Effekten av dette er at spenningen på X siger og utgangsspenningen Y faller. En forenklet² analyse gir

$$\Delta V = \left(1 - \frac{C_1}{C_1 + C_2}\right) \cdot V_{DD}. \quad (13)$$

$$\begin{aligned} V_Y &= V_{DD} - \Delta V \\ V_X &\approx V_Y. \end{aligned} \quad (14)$$

Av denne analysen er det lett å se at den kritiske faktoren er endring i utgangssignalet Y. Dersom endringen er liten slik at etterfølgende porter ikke har problemer med å tolke Y som logisk 1 vil effekten av ladningsdelingen ikke være signifikant. Dersom utgangskapasitansen (lasten), i dette tilfellet C_1 , er stor i forhold til interne kapasitanser, i dette tilfellet C_2 , vil det ikke bli en signifikant endring av utgangen.

Transistoren N1 vil stenge før X trekkes helt opp til Y fordi det ikke vil være en effektiv gate source spenning $V_{gs} = V_{DD} -$

²Vi tar ikke hensyn til body effekt og terskelspenning.

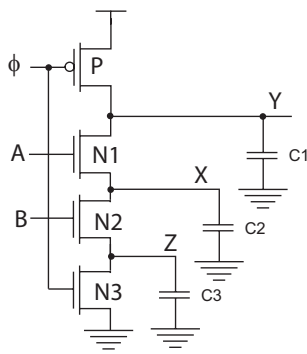


Fig. 10. Ladningsdeling i en dynamisk port.)

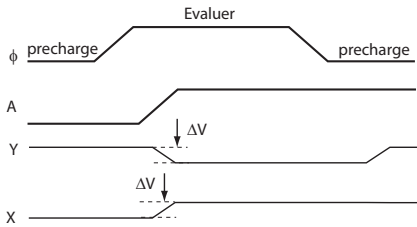


Fig. 11. Endring i spenninger ved ladningsdeling i en dynamisk port.

V_X som er tilstrekkelig høy for at transistoren er skrudd PÅ. I dette tilfellet vil body effekt bidra til å redusere effekten av ladningsdeling. Dette betyr at $V_X < V_Y$ og at V_Y faller mindre enn antatt med forenklet analyse.

C. Oppgave 6.28

Tegn transistorskjema for en 3inngangs dual-rail domino OR/NOR port.

C.1 Løsningsforslag

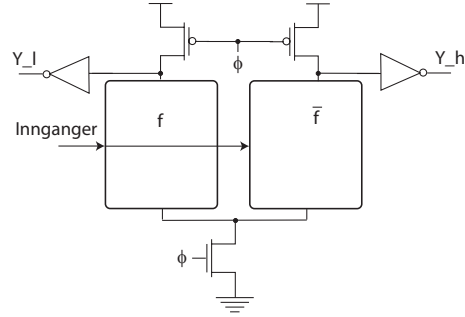


Fig. 12. Dual-rail domino logikk. (FIG6.30a)

Dual-rail domino logikk er vist i Fig. 12. Vi ser at porten ligner på en CVLS port, med komplementære nedtrekkskjeder og komplementære utganger. I stedet for krysskoblede pMOStransistorer som vi har i CVLS porter er de her erstattet med precharge pMOS transistorer. I tillegg er det en klokket nMOS transistor til GND som for footed dynamisk logikk. Vi kaller denne varianten for *dual-rail domino logikk*. Begge utgangene Y_l og Y_h blir precharget til 1. En av utgangene blir trukket ned til 0 i evalueringfasen, mens den andre utgangen forblir høy.

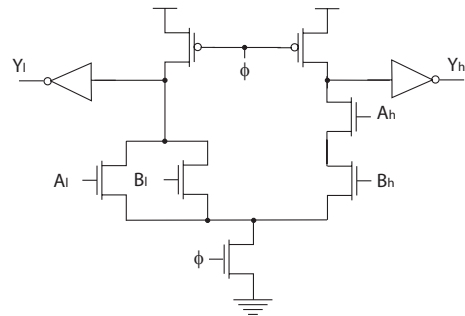


Fig. 13. Dual-rail domino logikk AND og NAND. (FIG6.30b)

Et eksempel på dual-rail domino logikk er vist i Fig. 13. Utgangene vil være henholdsvis $Y_l = \overline{A_l + B_l} = \overline{A_l} \cdot \overline{B_l} = \overline{A_h} \cdot \overline{B_h} = \overline{A \cdot B}$ og $Y_h = \overline{Y_l} = A \cdot B$. Dual-rail domino logikk kan brukes der det er behov for inverterte signaler. Dette er en differensiell logikk som er gunstig med hensyn på støy.

Transistorskjema for dual-rail domino logikk OR3/NOR3 er vist i Fig. 14. Utgangene vil være henholdsvis $Y_l = \overline{\overline{A_h + B_h + C_h}} = A + B + C$ og $Y_h = \overline{Y_l} = \overline{A + B + C}$.

D.

Tegn transistorskjema for funksjonen $F = A \cdot B \cdot (C + D)$ med en differensiell dynamisk port med dynamisk bløder. Diskuter fordeler og ulemper med denne implementasjon i forhold til domino logikk.

D.1 Løsningsforslag

En viktig begrensning for dynamiske porter er *ladningslekkasje*. Dersom frekvensen på klokkesignalet ϕ er relativt lav og/eller

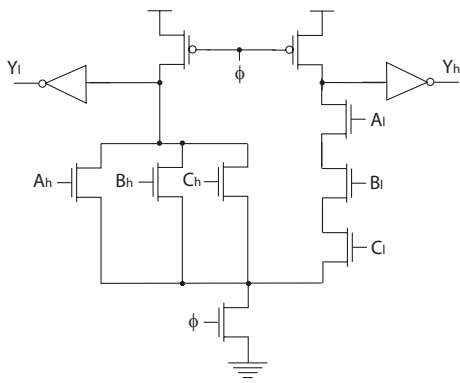


Fig. 14. *Dual-rail domino logikk OR3/NOR3.*

porten har betydelig lekkasje kan utgangsspenningen falle signifikant i evalueringsfasen selv om nedtrekket er skrudd AV. Dette problemet kommer i tillegg til ladningsdeling.

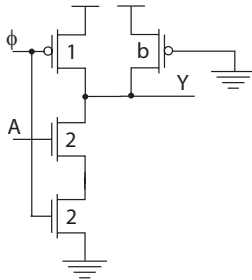


Fig. 15. *Statisk bløder.*

For å redusere et uønsket fall i utgangsspenning på en dynamisk port er det vanlig å bruke en relativt svak transistor som er PÅ når utgangen er 1. En slik transistor kalles en *bløder* (keeper). Blødertransistoren må være tilstrekkelig stor dvs. bredde/lengde, slik at transistoren klarer å holde utgangen høy når nedtrekket er skrudd AV. En statisk blødertransistor er vist i Fig. 15. Blødertransistoren vil øke parasittisk tidsforsinkelse på grunn av en økning i den effektive nedtrekksmotstanden tilsvarende som for *pseudo nMOS* og på grunn av en økt kapasitans (last) på utgangen.

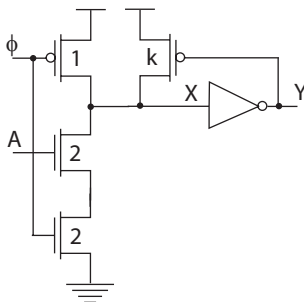


Fig. 16. *Dynamisk bløder. (FIG6.33)*

En dynamisk blødertransistor er vist i Fig. 16. Denne transistoren vil ikke bare bidra til å holde en 1er på utgangen, men også øke den effektive motstanden i starten av et nedtrekk og dermed øke parasittisk tidsforsinkelse for nedtrekket både gjennom økningen i effektiv motstand og ved økt kapasitans på utgangen X. Når nedtrekket er PÅ vil X trekkes ned mot 0 og Y mot 1 og dermed skru av bløderen. I tillegg til en økt kapasitans

for noden X, vil utgangen Y få vi en økt kapasitans på grunn av tilkobling til pMOS bløderen. Det er vanlig å dimensjonere bløderen $W_p = \text{minimum}$ og $L_p = \text{stor}$ som vil gi en liten tilleggskapasitans for X, men en relativt stor tilleggskapasitans for Y.

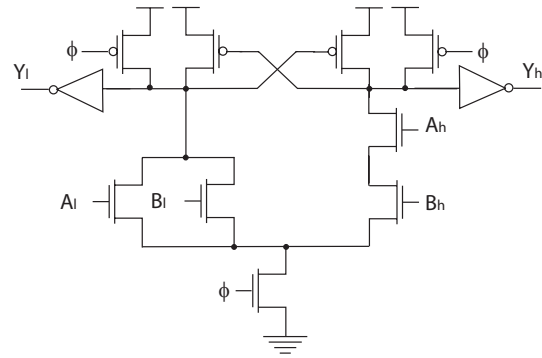


Fig. 17. *Differensiell dynamisk port med dynamisk bløder. (FIG6.35)*

I Fig. 17 er det vist en differensiell dynamisk port med dynamisk bløder. Denne porten minner om CVSL logikk. Denne kretsen er rask fordi pMOS transistorene ikke vil redusere hastigheten for nedtrekket.

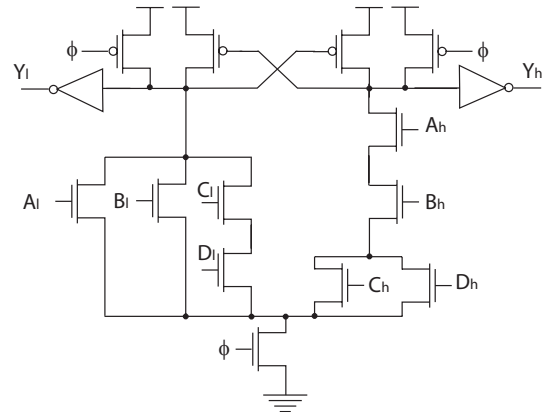


Fig. 18. *Differensiell dynamisk port med dynamisk bløder.*

Differensiell dynamisk port med dynamisk bløder som implementerer funksjonen $F = A \cdot B \cdot (C + D)$ er vist i Fig. 18. Vi kan velge å implementere en dynamisk port med bløder som en mer kompleks port enn vi kan få til med domino logikk. Dette skyldes at blødertransistoren bidrar til å redusere ladningslekkasje og problemer med ladningsdeling. Porten blir mindre dynamisk kan man si.

E.

Finn tidsforsinkelse i den dynamiske kjeden som er vist i Fig. 19.

E.1 Løsningsforslag

Inverterne er statiske og high-skew med logisk effort $g_u = 5/6$. Vi kan anta at de dynamiske portene er footed. For en dynamisk inverter vil det være større parasittisk tidsforsinkelse når porten skal precharges enn tidsforinkelse ved evaluering (eventuelt nedtrekk). Det er derfor vanlig å bruke high-skew statiske porter i tilknytning til dynamiske porter. En high-skew inverter, med $W_p = 2$ og $W_n = 1/2$, har logisk effort

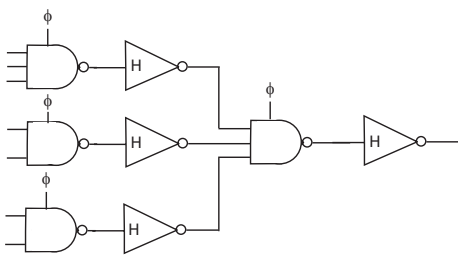


Fig. 19. Dynamisk kjede.

for opptrekk $g_u = 5/6$. Vi tar hensyn til den øvre signalveien som starter med en 3inngangs footed NAND port. Dette representerer worst case signalvei for kretsen. Vi antar videre at utgangen skal trekkes høy.

$$\begin{aligned}
 G_u &= g_{d_{NAND3}} \cdot g_{u_{highskew}} \cdot g_{d_{NAND3}} \cdot g_{u_{highskew}} \\
 &= \frac{4}{3} \cdot \frac{5}{6} \cdot \frac{4}{3} \cdot \frac{5}{6} \\
 &= \frac{100}{81} \\
 P_u &= P_{d_{NAND3}} + P_{u_{highskew}} + P_{d_{NAND3}} + P_{u_{highskew}} \\
 &= 5RC + \left(2 + \frac{1}{2}\right)R + 5RC + \left(2 + \frac{1}{2}\right)R \\
 &= 15RC \\
 &= 5\tau.
 \end{aligned} \tag{15}$$

Vi har $N = 4$ og $f' = F^{\frac{1}{4}} = (G_u \cdot 1 \cdot H)^{\frac{1}{4}} = (100/81)^{1/4}$, der H er elektrisk effort i kjeden. Tidsforsinkelse i kjeden er gitt av:

$$D = 4 \left(\frac{100H}{81} \right)^{\frac{1}{4}} + 5. \tag{16}$$

Dersom vi antar at elektrisk effort for kjeden $H = C_{utgang}/C_{inngang} = 1$ får vi $D \approx 4 \cdot 1.05 + 5 = 9.2\tau$.

F. Eksamensoppgave 2005

Tegn transistorskjema for en 3inngangs dynamisk footed NAND port. Anta at bredden på pMOS transistoren er 1, finn fornuftige verdi på bredden (N) på nMOS transistorene.

F.1 Løsningsforslag

En dynamisk NAND3 port er vist i figur 20. Logisk effort for nedtrekket blir

$$\begin{aligned}
 g_{nedtrekk} &= \frac{N}{3 \left(\frac{1}{N} + \frac{1}{N} + \frac{1}{N} + \frac{1}{N} \right)^{-1}} \\
 &= \frac{4}{3}.
 \end{aligned}$$

Fornuftig verdi for N er 4, som gir en effektiv motstand i nedtrekket lik R .

G. Eksamensoppgave 2005

Hva blir parasittisk tidsforsinkelse for nedtrekket for 3inngangs dynamisk footed NAND porten?

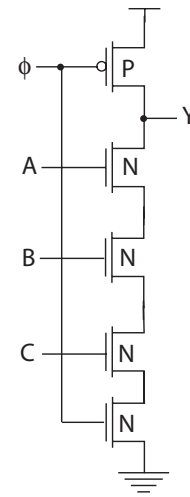


Fig. 20. NAND3 port.

G.1 Løsningsforslag

Parasittisk tidsforsinkelse for nedtrekket blir

$$\begin{aligned}
 P_{nedtrekk} &= \left(\frac{1}{N} + \frac{1}{N} + \frac{1}{N} + \frac{1}{N} \right) R_{effektiv} (1 + N) C \\
 &= R_{effektiv} (1 + N) C \\
 &= R(1 + 4) C \\
 &= 5RC \\
 &= \frac{5}{3}\tau.
 \end{aligned}$$

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,