

INF3400/4400 Digital Mikroelektronikk

Løsningsforslag DEL 14

Våren 2007

YNGVAR BERG

I. DEL 14

Del 14: Design av ledere og design marginer

II. OPPGAVER

A. Ledere

Finn den optimale avstanden mellom repeaterer for en minimum pitch metall 2 leder i en 180nm prosess. Anta at tettheten til metall i andre lag er stor. Transistor motstand er $3k\Omega \cdot \mu m$ og gatekapasitans $C = 1.7fF/\mu m$. Anta at kapasitansen til en minimum pitch metall 2 leder til plan over og under er $C_w = 0.21fF/\mu m$ og at egenmotstanden er $0.05\Omega/kvadrat$. Minimum bredde på en metall 2 leder i 180nm prosess er 320nm.

1. Finn optimal avstand mellom repeaterne?
2. Hvor brede bør transistorene i repeaterne være?
3. Hva er signalhastigheten for lederen?
4. Hvordan påvirkes resultatet når vi øker bredde og avstand med 50%? Kapasitansen vil da bli $C_w = 0.18fF/\mu m$.
5. Hvordan blir resultat dersom vi bruker metall 5 med kapasitans $C_w = 0.24fF/\mu m$ og at egenmotstanden er $0.025\Omega/kvadrat$ når minimum bredde på en metall 5 leder i 180nm prosess er 800nm?

A.1 Løsningsforslag

Teori

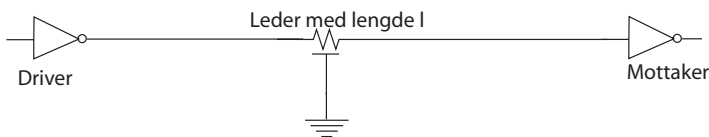


Fig. 1. Leder uten repeaterer. (FIG4.53a)

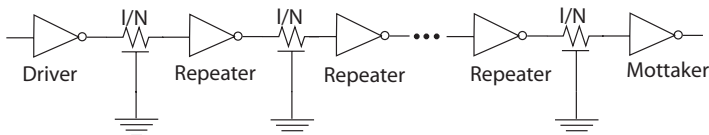


Fig. 2. Leder med repeaterer. (FIG4.53b)

En enkel modell for en leder er vist i Fig 1. Ved å dele opp lederen i mindre segmenter kan vi redusere tidsforsinkelsen. Segmentene består av en inverter som kalles *repeater* og vil aktivt drive lederen. Den nye linjen som er vist i Fig. 2 består av N segmenter med en RC tidsforsinkelse tilsvarende $(l/N)^2$, som vil gi en total tidsforsinkelse lik l^2/N . Dersom antallet segmenter er

proporsjonal med lengden på lederen l vil tidsforsinkelsen øke lineært med l .

Det gir best resultat å bruke invertere som repeaterer. Hver repeater vil bidra med tidsforsinkelse, men dersom avstanden mellom repeaterne er for stor vil den totale tidsforsinkelsen bli dominert av selve lederen og ikke repeaterne. Dersom avstanden mellom repeaterne er for liten vil den totale forsinkelsen bli dominert av tidsforsinkelsen som er knyttet til repeaterne. Det optimale vil være et kompromiss mellom antall repeaterer og lengde på ledere.

Anta en enhetsinverter med motstand R og kapasitans C' , der $C' = 3C$ fordi inverteren er sammensatt av en enhets nMOS transistor og en pMOS transistor med dobbel bredde, og en leder med motstand R_w og kapasitans C_w per lengdeenhet. Anta videre at det settes inn repeaterer med W ganger enhetsstørrelse. Vi kan nå finne den optimale lengde på lederen mellom hver repeater når vi ser bort fra diffusjonskapasitans.

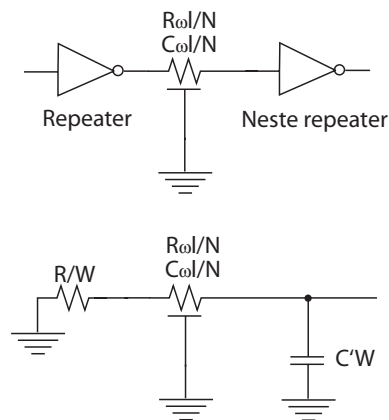


Fig. 3. Modell for repeater (segment) som driver neste port og interkonnekt. (FIG4.82)

I Fig. 3 er en modell for et segment vist. Modellen består av en driver, leder og en mottaker.

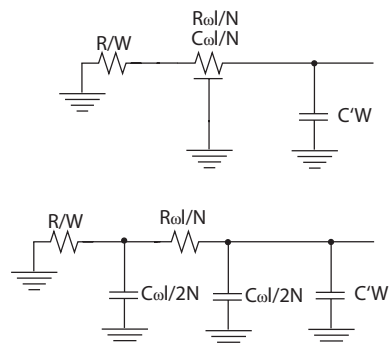


Fig. 4. Elmore forsinkelsesmodell.

Vi kan bruke Elmore forsinkelsesmodell ved å modellere segmentet som vist i Fig. 4. Vi får da

$$\begin{aligned} t_{pd_{segment}} &= \frac{R}{W} C_w \frac{l}{2N} + \left(\frac{R}{W} + R_w \frac{l}{N} \right) \left(C_w \frac{l}{2N} + C' W \right) \\ &= \frac{R}{W} \left(C_w \frac{l}{N} + C' W \right) + R_w \frac{l}{N} \left(C_w \frac{l}{2N} + C' W \right) \end{aligned}$$

Den totale forsinkelsen blir da

$$\begin{aligned} t_{pd_{leder}} &= N \cdot t_{pd_{segment}} \\ &= N \left(\frac{R}{W} \left(C_w \frac{l}{N} + C' W \right) + R_w l \left(C_w \frac{l}{2N} + C' W \right) \right) \\ &= RC_w \frac{l}{W} + NRC' + R_w C_w \frac{l^2}{2N} + R_w C' l W \\ &= NRC' + l \left(R_w C' W + \frac{RC_w}{W} \right) + l^2 \frac{R_w C_w}{2N} \end{aligned}$$

Vi kan nå derivere med hensyn på N

$$\frac{\delta t_{pd_{leder}}}{\delta N} = RC' - l^2 \frac{R_w C_w}{2N^2},$$

og sette den deriverte lik 0 for å finne minimum forsinkelse

$$\begin{aligned} RC' - l^2 \frac{R_w C_w}{2N^2} &= 0 \\ N &= l \sqrt{\frac{R_w C_w}{2RC'}} \\ \frac{l}{N} &= \sqrt{\frac{2RC'}{R_w C_w}} \end{aligned}$$

For å finne forsinkelse per enhetslengde finner vi optimal W ved å derivere mhp W og sette lik 0

$$\frac{\delta t_{pd_{leder}}}{\delta W} = l \left(R_w C' - \frac{RC_w}{W^2} \right),$$

som gir

$$\begin{aligned} l \left(R_w C' - \frac{RC_w}{W^2} \right) &= 0 \\ W^2 R_w C' &= RC_w \\ W &= \sqrt{\frac{RC_w}{R_w C'}} \end{aligned}$$

Vi kan nå sette inn for N og W og får

$$\begin{aligned} t_{pd_{leder}} &= NRC' + l \left(R_w C' W + \frac{RC_w}{W} \right) + l^2 \frac{R_w C_w}{2N} \\ &= lRC' \sqrt{\frac{R_w C_w}{2RC'}} + \\ &= l \left(R_w C' \sqrt{\frac{RC_w}{R_w C'}} + \frac{RC_w}{\sqrt{\frac{RC_w}{R_w C'}}} \right) + \\ &= l^2 \frac{R_w C_w}{2l \sqrt{\frac{R_w C_w}{2RC'}}} \\ &= l \sqrt{2R_w C_w RC'} + l \left(\sqrt{R_w C_w RC'} + \sqrt{R_w C_w RC'} \right) + \\ &= \frac{l}{2} \sqrt{2R_w C_w RC'} \\ &= l \left(\sqrt{2} + 2 + \frac{\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'} \\ &= l \left(2 + \frac{3\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'} \end{aligned}$$

som gir forsinkelse per lengdeenhet

$$\frac{t_{pd_{leder}}}{l} = \left(2 + \frac{3\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'}$$

Resultatene er avhengig av at repeaterne eller inverterne har nMOS transistorer med bredde

$$W = \sqrt{\frac{RC_w}{R_w C'}}$$

Ved bruk av invertere som repeaterer må vi bruke et antall invertere som tilsammen resulterer i at signalet ikke blir invertert. Dette betyr at vi må ha et like antall invertere. Vi kan bruke doble invertere som repeaterer for å unngå polaritetsproblemer, men dette vil resultere i større tidsforsinkelse. Vi kan dimensjonere inverterne forskjellig dersom vi velger en dobbel inverter repeater. Den første inverteren kan være liten, dvs. liten bredde på transistorene, mens den andre inverteren må være noe større slik at den kan drive lasten som er knyttet til neste segment.

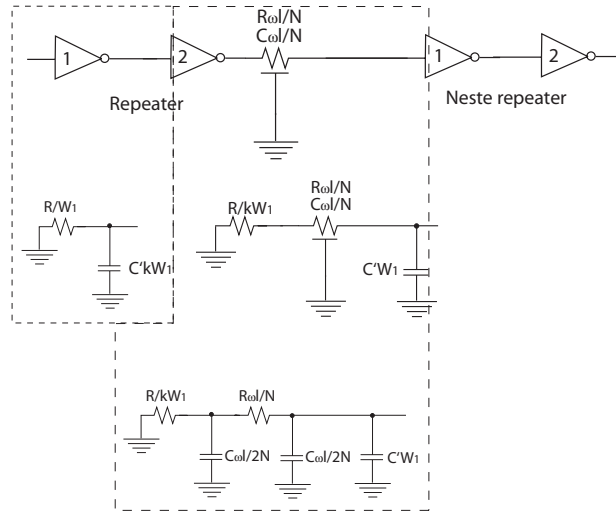


Fig. 5. Elmore forsinkelsesmodell.

Vi kan bruke Elmore forsinkelsesmodell ved å modellere segmentet som vist i Fig. 5. Vi får da

$$\begin{aligned} t_{pd_{segment}} &= kRC' + \frac{R}{kW_1} C_w \frac{l}{2N} + \\ &= \left(\frac{R}{kW_1} + R_w \frac{l}{N} \right) \left(C_w \frac{l}{2N} + C' W_1 \right) \\ &= kRC' + \frac{R}{kW_1} \left(C_w \frac{l}{N} + C' W_1 \right) + \\ &= R_w \frac{l}{N} \left(C_w \frac{l}{2N} + C' W_1 \right) \end{aligned}$$

Total forsinkelse blir da

$$\begin{aligned} t_{pd_{leder}} &= N \cdot t_{pd_{segment}} \\ &= NkRC' + \frac{NRC'}{k} + l \left(R_w C' W_1 + \frac{RC_w}{kW_1} \right) + l^2 \frac{R_w C_w}{2N} \\ &= NRC' \left(k + \frac{1}{k} \right) + l \left(R_w C' W_1 + \frac{RC_w}{kW_1} \right) + l^2 \frac{R_w C_w}{2N} \end{aligned}$$

Vi kan nå derivere mhp N , W_1 og k

$$\begin{aligned}\frac{\delta t_{pd_{leder}}}{\delta N} &= RC' \left(k + \frac{1}{k} \right) - l^2 \frac{R_w C_w}{2N^2} \\ \frac{\delta t_{pd_{leder}}}{\delta W_1} &= l \left(R_w C' - \frac{RC_w}{kW_1^2} \right) \\ \frac{\delta t_{pd_{leder}}}{\delta k} &= NRC' \left(1 + \frac{1}{k^2} \right) + l \frac{RC_w}{k^2 W_1} \\ &= NRC' + \frac{1}{k^2} \left(NRC' + l \frac{RC_w}{W_1} \right)\end{aligned}$$

Vi setter de deriverte lik 0

$$\begin{aligned}RC' \left(k + \frac{1}{k} \right) - l^2 \frac{R_w C_w}{2N^2} &= 0 \\ N &= l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}} \\ l \left(R_w C' - \frac{RC_w}{kW_1^2} \right) &= 0 \\ kW_1^2 R_w C' &= RC_w \\ W_1 &= \sqrt{\frac{RC_w}{kR_w C'}} \\ &= \frac{W}{\sqrt{k}} \\ W_2 &= kW_1 \\ &= \sqrt{k}W \\ NRC' + \frac{1}{k^2} \left(NRC' + l \frac{RC_w}{W_1} \right) &= 0 \\ \frac{1}{k^2} &= \frac{NRC'}{NRC' + l \frac{RC_w}{W_1}} \\ k^2 &= 1 + \frac{lC_w}{NW_1 C'} \\ k &= \sqrt{1 + \frac{lC_w}{NW_1 C'}}\end{aligned}$$

Dette gir

$$\begin{aligned}k &= \sqrt{1 + \frac{lC_w}{NW_1 C'}} \\ &= \sqrt{1 + \frac{lC_w}{l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}} \sqrt{\frac{RC_w}{kR_w C'}}}} \\ &= \sqrt{1 + \frac{C_w}{\sqrt{\frac{C_w^2}{(C')^2 2 \left(k + \frac{1}{k} \right) k}} C'}} \\ &= \sqrt{1 + \frac{1}{\sqrt{\frac{1}{2k^2 + 2}}}} \\ &= \sqrt{1 + \sqrt{2(k^2 + 1)}} \\ k^2 &= 1 + \sqrt{2(k^2 + 1)} \\ (k^2 - 1)^2 &= 2(k^2 + 1) \\ k^4 - 2k^2 + 1 &= 2k^2 + 2 \\ k^4 - 4k^2 - 1 &= 0 \\ k &= \sqrt{2 + \sqrt{5}}\end{aligned}$$

Vi kan beregne tidsforsinkelse per lengdeenhet

$$\begin{aligned}t_{pd_{leder}} &= NRC' \left(k + \frac{1}{k} \right) + l \left(R_w C' W_1 + \frac{RC_w}{kW_1} \right) + l^2 \frac{R_w C_w}{2N} \\ &= l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}} RC' \left(k + \frac{1}{k} \right) \\ &\quad + l \left(R_w C' \sqrt{\frac{RC_w}{kR_w C'}} + \frac{RC_w}{k \sqrt{\frac{RC_w}{kR_w C'}}} \right) \\ &\quad + l^2 \frac{R_w C_w}{2l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}}} \\ &= l \sqrt{\frac{R_w C_w RC' \left(k + \frac{1}{k} \right)}{2}} \\ &\quad + l \left(\sqrt{\frac{R_w C_w RC'}{k}} + \sqrt{\frac{R_w C_w RC'}{k}} \right) \\ &\quad + l \sqrt{\frac{R_w C_w RC' \left(k + \frac{1}{k} \right)}{2}} \\ &= l \left(\sqrt{R_w C_w RC' \left(k + \frac{1}{k} \right)} + 2 \sqrt{\frac{R_w C_w RC'}{k}} \right) \\ \frac{t_{pd_{leder}}}{l} &= \left(\sqrt{k + \frac{1}{k}} + \frac{2}{\sqrt{k}} \right) \sqrt{R_w C_w RC'}\end{aligned}$$

Dette betyr at løsningen med doble invertere som repeater er marginalt tregere. Det trengs færre repeater fordi optimal verdi på N går ned med doble invertere. Dersom man tar med diffusjonskapasitanser vil repeaterne bli noe tregere, slik at det kan være lønnsomt å redusere noe på antallet repeater. Det er vanlig å finne en optimal løsning ved å simulere. Ved å sette inn repeater vil linjen garantert bli unidireksjonal med signalretning bestemt av repeaterne.

Et alternativ til repeater er *boostere* som plasseres i parallel som vist i Fig. 6. Boosteren registrerer transisjoner og hjelper til med transisjonen ved å utnytte *hysteres* og *positiv tilbakekobling* som tillater en bidireksjonal signalføring på bekostning av reduserte støymarginer.

Gaten som er tegnet som en NAND port med en C er et såkalt *Muller C-element* som har en innebygd hysteres når begge inngangene, A og B, er like. Det forutsettes at nMOS og pMOS transistorene er like sterke slik at utgangen C ikke drives mot railene når inngangene er forskjellige som vist i Fig. 7.

Vi kan se på forløpet for en positiv transisjon på ledere:

1. De to inverterne som er koblet med inngang til ledere er henholdsvis $L = low - skew$ og $H = high - skew$ som vil drive nodene l og h . De to inverterne vil ha forskjellig terskel slik at de trigger på hver sin transisjon. Dersom vi antar at inngangssignalet Inn er 0 og skal endres til 1 vil nodene l og h være 1 i utgangspunktet. Noden c vil da være drevet til 0, men den sterke boosteren vil ikke være drevet fordi den vil ha ulike innganger $l = h \neq c$. Den svake keeperen vil sørge for å holde signalverdien på ledere til 0 fordi $l = 1$.

2. Når Inn starter en positiv transisjon vil high-skew inverteren, merket H , starte med å trekke h ned mot 0 før low-skew inverteren, merket L begynner å trekke l ned mot 0. Legg merke til at

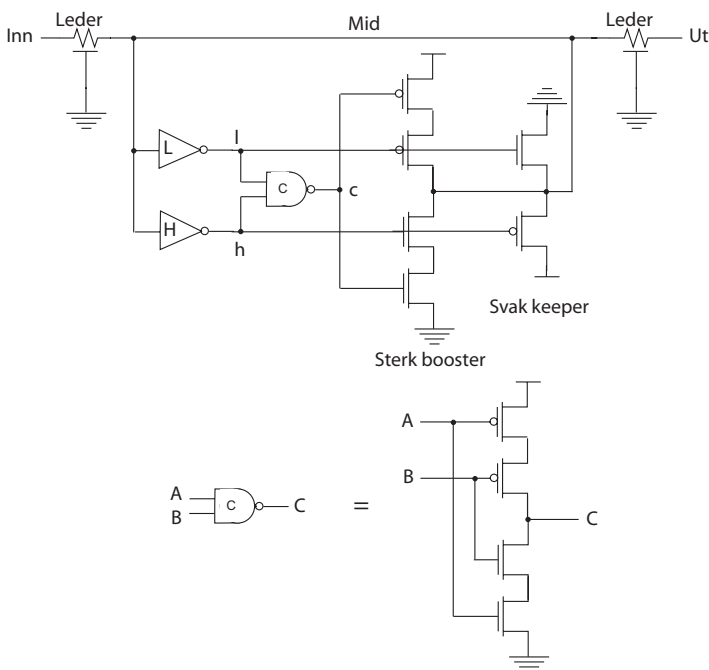


Fig. 6. Signal booster. (FIG4.54 a og b)

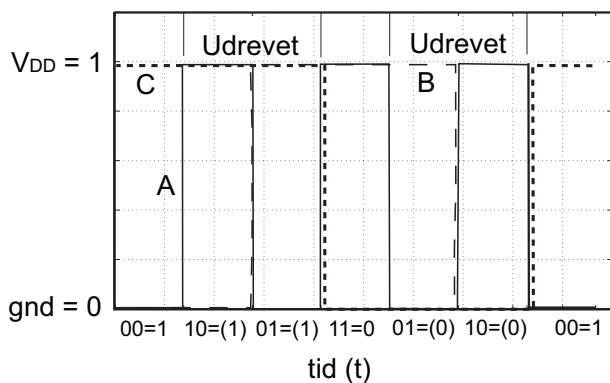


Fig. 7. Muller C.

i starten vil utgangen på skew-inverterne stige litt, dette skyldes en kapasitiv kobling, C_{gd} , mellom inngangen INN og utgangen på skew inverterne.

3. Inngangen fortsetter å stige og nodene h og l vil trekkes videre ned mot 0. På grunn av ulik skew vil h trekkes ned tidligere enn l slik at inngangene til Muller C-elementet ikke er like og dermed vil noden c ligge stabilt på 0, men ikke være sterkt drevet. Booster kretsen vil ikke ha noen signifikant betydning for lederens respons, dvs. Mid og $MidB$ (med booster), og Ut og UtB (med booster) vil ikke være signifikant forskjellige. Inngangstransisjonen blir noe dempet fordi den svake keeperen vil motvirke transisjonen. Kretsen har nå negativ tilbakekobling.

4. Nodene l og h har nå blitt trukket så lavt at den svake keeperen vil bidra med å trekke lederen $MidB$ opp mot 1 og samtidig vil da keeperen ikke motvirke inngangstransisjonen.

5. Nodene l og h trekkes ned til 0 og pga hysteresen i Muller C-elementet vil ikke noden c trekkes mot 1 før nodene l og h er svært nær 0. Når l , h og c er nær 0 vil utgangen på den svake keeperen presse mot 1. Dette vil resultere at inngangen, $MidB$ og utgangen trekkes raskere opp mot 1. Vi har nå fått en krets

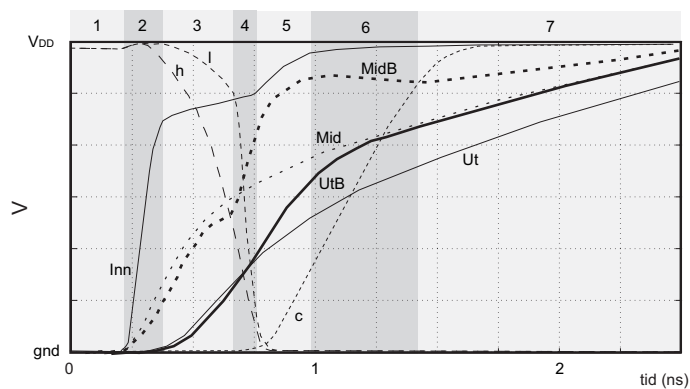


Fig. 8. Signal booster.

med positiv tilbakekobling.

6. Nodene l og h er 0. c drives mot 1 og vil dermed redusere drivegenskapene til den sterke booster. Utgangen trekkes opp mot 1 gjennom den svake keeperen.

7. Utgangen trekkes langsomt opp til 1 drevet av den svake keeperen og inngangen.

Optimal avstand mellom repeaterne

Vi starter med å finne egenmotstand per μm for en metall 2 leder. Minimum bredde på en metall 2 leder i 180nm prosess er 320nm. Vi får da

$$R_w = \frac{0.05 \frac{\Omega}{\text{kvadrat}}}{0.32 \frac{\mu m}{\text{kvadrat}}} = 0.16 \frac{\Omega}{\mu m}$$

Vi beregner C'

$$C' = 3C = 5.1 \frac{fF}{\mu m}$$

Optimal avstand mellom repeaterne blir da

$$\begin{aligned} \frac{l}{N} &= \sqrt{\frac{2RC'}{R_w C_w}} \\ &= \sqrt{\frac{2(3k\Omega \cdot \mu m) (5.1 \frac{fF}{\mu m})}{(0.16 \frac{\Omega}{\mu m}) (0.21 \frac{fF}{\mu m})}} \\ &= 954 \mu m \end{aligned}$$

Transistorenes bredde

Bredden på nMOS transistoren i repeaterne er gitt av

$$\begin{aligned} W &= \sqrt{\frac{RC_w}{R_w C'}} \\ &= \sqrt{\frac{3k\Omega \cdot \mu m (0.21 \frac{fF}{\mu m})}{(0.16 \frac{\Omega}{\mu m}) (5.1 \frac{fF}{\mu m})}} \\ &= 28 \mu m \end{aligned}$$

pMOS transistoren bør være omtrent dobbel så bred.

Signalhastighet

Vi kan finne signalhastigheten ved å finne tidsforsinkele per enhetslengde og ignorer diffusjonskapasitans

$$\begin{aligned}\frac{t_{pd\text{leder}}}{l} &= (2 + \sqrt{2}) \sqrt{R_w C_w RC'} \\ &= (2 + \sqrt{2}) \sqrt{0.16 \frac{\Omega}{\mu m} 0.21 \frac{fF}{\mu m} 3k\Omega \cdot \mu m \cdot 5.1 \frac{fF}{\mu m}} \\ &= 77 \frac{ps}{mm}\end{aligned}$$

Bredde og avstand økes med 50%

Ved å øke bredden på lederen med 50% vil motstanden per μm bli redusert tilsvarende, vi har

$$\begin{aligned}R_w &= \frac{0.05 \frac{\Omega}{\text{kvadrat}}}{1.5 \cdot 0.32 \frac{\mu m}{\text{kvadrat}}} \\ &= 0.10 \frac{\Omega}{\mu m}\end{aligned}$$

Reduksjonen i kapasitans per μm skyldes at avstanden til andre nærliggende metalledere i samme lag øker med 50%. Vi kan beregne optimal avstand mellom repeaterne blir da

$$\begin{aligned}\frac{l}{N} &= \sqrt{\frac{2RC'}{R_w C_w}} \\ &= \sqrt{\frac{2(3k\Omega \cdot \mu m) (5.1 \frac{fF}{\mu m})}{(0.10 \frac{\Omega}{\mu m}) (0.18 \frac{fF}{\mu m})}} \\ &= 1304 \mu m\end{aligned}$$

Vi finner transistor bredde for nMOS transistorene

$$\begin{aligned}W &= \sqrt{\frac{RC_w}{R_w C'}} \\ &= \sqrt{\frac{3k\Omega \cdot \mu m (0.18 \frac{fF}{\mu m})}{(0.10 \frac{\Omega}{\mu m}) (5.1 \frac{fF}{\mu m})}} \\ &= 33 \mu m,\end{aligned}$$

som gir en tidsforsinkelse per enhetslengde

$$\begin{aligned}\frac{t_{pd\text{leder}}}{l} &= (2 + \sqrt{2}) \sqrt{R_w C_w RC'} \\ &= (2 + \sqrt{2}) \sqrt{0.10 \frac{\Omega}{\mu m} 0.18 \frac{fF}{\mu m} 3k\Omega \cdot \mu m \cdot 5.1 \frac{fF}{\mu m}} \\ &= 57 \frac{ps}{mm}\end{aligned}$$

Metall 5 leder

Vi beregner først motstanden per μm

$$\begin{aligned}R_w &= \frac{0.025 \frac{\Omega}{\text{kvadrat}}}{0.80 \frac{\mu m}{\text{kvadrat}}} \\ &= 0.03 \frac{\Omega}{\mu m}\end{aligned}$$

Optimal avstand mellom repeaterne blir da

$$\begin{aligned}\frac{l}{N} &= \sqrt{\frac{2RC'}{R_w C_w}} \\ &= \sqrt{\frac{2(3k\Omega \cdot \mu m) (5.1 \frac{fF}{\mu m})}{(0.03 \frac{\Omega}{\mu m}) (0.24 \frac{fF}{\mu m})}} \\ &= 2062 \mu m,\end{aligned}$$

som gir transistor bredde for nMOS transistorene

$$\begin{aligned}W &= \sqrt{\frac{RC_w}{R_w C'}} \\ &= \sqrt{\frac{3k\Omega \cdot \mu m (0.24 \frac{fF}{\mu m})}{(0.03 \frac{\Omega}{\mu m}) (5.1 \frac{fF}{\mu m})}} \\ &= 69 \mu m,\end{aligned}$$

og en tidsforsinkelse per enhetslengde

$$\begin{aligned}\frac{t_{pd\text{leder}}}{l} &= (2 + \sqrt{2}) \sqrt{R_w C_w RC'} \\ &= (2 + \sqrt{2}) \sqrt{0.03 \frac{\Omega}{\mu m} 0.24 \frac{fF}{\mu m} 3k\Omega \cdot \mu m \cdot 5.1 \frac{fF}{\mu m}} \\ &= 46 \frac{ps}{mm}\end{aligned}$$

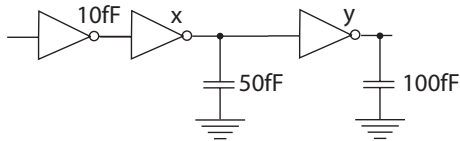


Fig. 9. Mellomlang leder.

Anta lederen i Fig.9 som er en mellomlang leder modellert med lastkapasitanser. Finn ligning for forsinkelse som funksjon av x og y . Hvor stor bør x og y inverterne være for å få minimum forsinkelse i lederen? Hva er trinneffort i hvert trinn?

B.1 Løsningsforslag

Teori

Interkonnekt bidrar til en mer komplisert beregning av logisk effort fordi ledere har en fast kapasitans. En leders *forgreiningseffort* (branching effort) med kapasitans C_{leder} som skal drive en portlast lik C_{gate} er $(C_{gate} + C_{leder})/C_{gate}$. Denne forgreiningsefforten er ikke konstant, men avhenger av størrelsen av porten som skal drives. Den enkle reglen som tilsier at kretser er raskest når alle trinn (stage) har samme effort vil ikke lenger være gyldig når vi tar hensyn til kapasitans i selve lederen. Dersom lederen er meget kort kan vi se bort fra kapasitansen i lederen og bruke den enkle modellen. Dersom lederen er meget lang kan vi se bort fra kapasitansen i porten som skal drives og modellen blir tilsvarende enkel. Når lasten i porten som skal drives og lasten i lederen er omtrent like store kan vi ikke bruke enkle modeller for å beregne optimal effort.

Alle kretser har interkonnekt, men vi kan ignorere lasten som lederen representerer dersom lederen er kort, dvs. $C_{leder} \ll C_{gate}$. Alternativt kan vi beregne en en gjennomsnittsverdi for forholdet mellom kapasitans i lederen og parasittisk kapasitans i diffusjon og legge dette til som et ekstra bidra til parasittisk kapasitans når parasittisk tidsforsinkelse skal beregnes. For porter som ligger tett kan vi anta at optimal effort i et trinn (stage) ρ er litt større enn 4.

I motsatt tilfelle når $C_{leder} \gg C_{gate}$ kan vi se bort ifra porten som skal drives. Vi kan se på lederen som to seksjoner, den første seksjonen består av en driver som skal drive en last som er representerer lasten i lederen, og den andre seksjonen der inngangen er lederen som skal drive en port. En lang leder drives som regel av en inverter med effort mellom 8 og 12 istedet for 4. Mottakeren, dvs. porten som skal drives, dimensjoneres ut ifra praktiske betrakninger. Store mottakere er raske, men på bekostning av areal og effektforbruk.

Den mest ufordrende situasjonen er når $C_{leder} \approx C_{gate}$. Dette vil være en aktuell situasjon for mellomlange ledere som introduserer forgreiningseffort som er avhengig av porter som skal drives. Det er deror vanlig å beholde en trinn (stage) effort lik 4. Simulering kan brukes for å dimensjonere kretser optimalt.

Løsning

Vi bruker modell for kjede forsinkelse $D = D_F + P$, der D_F er kjede effort tidsforsinkelse og P er kjede parasittisk tidsforsinkelse.

$$\begin{aligned}
 D &= D_F + P \\
 &= \sum f_i + P \\
 &= \sum g_i h_i + P \\
 &= 1 \cdot \frac{x}{10} + 1 \cdot \frac{50+y}{x} + 1 \cdot \frac{100}{y} + P.
 \end{aligned}$$

Vi kan nå derivere mhp x og y

$$\begin{aligned}
 \frac{\delta D}{\delta x} &= \frac{1}{10} - \frac{y+50}{x^2} \\
 \frac{\delta D}{\delta y} &= \frac{1}{x} - \frac{100}{y^2}.
 \end{aligned}$$

Vi setter nå de deriverte lik 0

$$\begin{aligned}
 \frac{\delta D}{\delta x} &= 0 \\
 \frac{1}{10} - \frac{y+50}{x^2} &= 0 \\
 x^2 &= 10y + 500 \\
 \frac{\delta D}{\delta y} &= 0 \\
 \frac{1}{x} - \frac{100}{y^2} &= 0 \\
 y^2 &= 100x,
 \end{aligned}$$

som gir

$$\begin{aligned}
 x^2 &= 10\sqrt{100x} + 500 \\
 (x^2 - 500)^2 &= 1000 \cdot 100x \\
 x^4 - 1000x^2 + 250000 &= 100000x \\
 x^4 - 1000x^2 - 100000x + 250000 &= 0
 \end{aligned}$$

En numerisk løsning gir $x = 35fF$, og dermed $y = 59$. Effort i hvert trinn blir da $35/10 = 3.5$ og $(59 + 50)/35 = 3.1$ og $100/59 = 1.7$. Legg merke til at effort i de to første trinnene er forholdsvis like, mens det tredje trinnet har en lavere effort.

Teori

Responsten til integrerte kretser kan variere som følge av omgivelser og fabrikasjon. Det er vanlig å ta hensyn til noen viktige variasjonskilder ved design:

1. Forsyningsspennning.
2. Temperatur.
3. Prosessvariasjoner.

Det er viktig å designe kretser slik at de gir korrekt respons over et intervall av ekstremverdier for variasjonskildene. Dette gir et robust og pålitelig design som vil hindre et system i å feile katastrofalt.

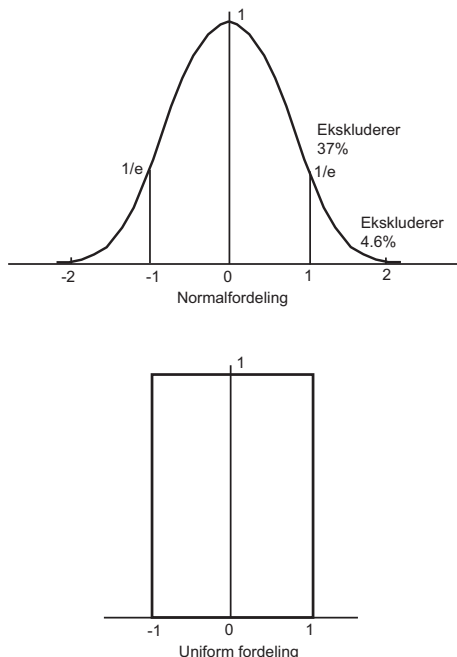


Fig. 10. Uniform og normal fordeling. (FIG4.58)

Variasjoner kan modelleres med uniform eller normal (Gauss) statistiske fordelinger som vist i Fig. 10. For uniform fordeling er det vanlig å definere feks. variasjon i forsyningsspennning $\pm 10\%V_{DD}$ som vil gi et meget robust design. Det er da viktig at hele kretsen fungerer korrekt med den spesifiserte variasjonen. Normalfordeling spesifiseres med et standardavvik ρ . Prosess variasjoner er vanligvis modellert som en normalfordeling. Dersom kretseksemplarer som ligger utenfor 3ρ skal forkastes, tilsvarer dette 0.26% av eksemplarene. En grense på 2ρ tilsvarer 4.6%. Grensene 2ρ og 3ρ er vanlig å bruke.

Variasjon i forsyningsspennning

Når man designer en krets bruker man normalt en ideel forsyningsspennning som er tilpasset den prosessen man skal realisere designet i. Det er imidlertid mange årsaker til at forsyningsspennningen kan variere globalt, gjennom mismatch i spenningsregulatorer, og lokalt gjennom spenningsstap i ledere. Det er fornuftig å designe kretsene slik at logikken fungerer for en

spesifikk klokkefrekvens når forsyningsspennningen varierer med 10%. Hastigheten er proporsjonal med forsyningsspennningen slik at det er vanlig å designe med en god margin.

Variasjon i temperatur

Effektforbruk vil resultere i temperaturstigning i en krets. Når temperaturen øker vil transistorstrømmene minke. Den faktiske temperaturen lokalt i en integrert krets er avhengig av både omgivelsestemperatur og lokal påvirkning pga effektforbruk. Det er vanlig å spesifisere temperaturgrenser for omgivelsene som kretsene skal kunne fungere i. For kommersielle produkter er vanlige grenser $0^{\circ}C$ og $70^{\circ}C$, for industrielle produkter er grensene $-40^{\circ}C$ og $85^{\circ}C$ og for militære produkter er grensene $-55^{\circ}C$ og $125^{\circ}C$.

Prosessvariasjoner

Transistorer og ledere i en integrert krets vil bli fremstilt ved prosessering med en viss variasjon rundt nominelle verdier. Dette gjelder særlig selve størrelsene eller geometriene og dopekonsentrasjoner. Disse variasjonene kan oppstå innenfor en enkelt integrert krets og på en wafer.

De mest kritiske variasjonene er kanallengde L , tykkelsen på tynnoksid t_{ox} og terskelspenning V_t . Terskelspenningene varierer blant annet på grunn av variasjon i dopekonsentrasjoner. For interkonnekt er de mest kritiske variasjonene lederbredde og avstand mellom ledere.

Teori

Transistor karakteristikk er påvirket av temperatur. Mobiliteten til ladningsbærere avtar når temperaturen stiger, dette kan modelleres som

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_\mu},$$

der T er temperatur, T_r er romtemperatur ($300^\circ K$) og k_μ er en parameter i intervallet 1.2 – 2.0.

Terskelspenningen vil variere tilnærmet lineært med temperaturen

$$V_t(T) = V_t(T_r) - k_{vt}(T - T_r),$$

der k_{vt} typisk ligger i området 0.5 og 3.0mV/K.

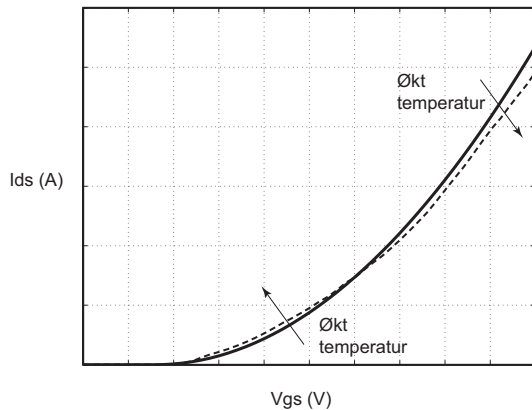


Fig. 11. Transistor karakteristikk varierer med temperatur. (FIG2.21)

Effekten av endring i temperatur er vist i Fig.11, der maksimum (PÅ) strømmen reduseres med økt temperatur og minimum (AV) strømmen øker. Generelt vil ytelsen reduseres ved økt temperatur. Ytelsen kan økes ved å anvende kjøling.

Teori

Ved introduksjonen av CMOS teknologien hadde kretsene en tendens til å danne forbindelser med liten motstand mellom V_{DD} og gnd som forårsaket en katastrofal kortslutning i kretsene. Fenomenet kalles *latchup* og er forårsaket av biaserte latente bipolare transistorer mellom substrat, brønn og diffusjon.

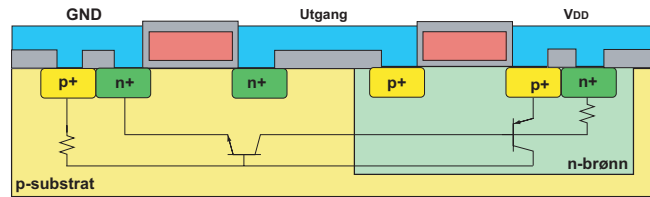


Fig. 12. Latchup.

Latchup i en inverter er vis i Fig. 12. Som vi ser er det mange mulige npn- og pnp overganger som kan resultere i bipolare transistorer dersom biaseringsbetingelsene for det er tilstede. Normalt vil substratspenningen $V_{sub} = GND(OV)$ og $V_{brønn} = V_{DD}$ være tilstrekkelig til å holde pnp- og npn overganger ubiasert. Det er ulike årsaker til at de bipolare transistorene blir biasert slik at de begynner å levere strøm og påvirke substrat- og brønnspenninger. Ulike støypulser i form av uønskede spenningsving kan oppstå, gjerne via eksterne innganger. Støypulsene kan biasere de bipolare transistorene og dermed påvirke svake spenningsreferanser.

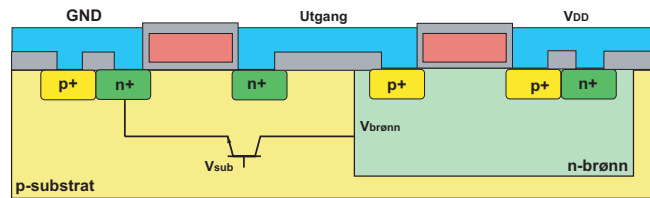


Fig. 13. Situasjon som kan fremprovosere latchup.

Et eksempel på en situasjon som kan resultere i latchup er vist i Fig. 13. Anta for eksempel at spenningen i substratet økes, for eksempel ved tilførsel av eksternt spenning ved oppstart. Vi kan anta at V_{sub} økes slik at npn transistoren mellom n^+ diffusjon, p-substrat og n-brønn skrur på. Normalt skal substratet ligge til GND, men det er fysisk mulig at spenningen lokalt kan stige dersom kretsen lokalt blir påvirket av uheldige spenningsendringer. npn transistoren vil levere strøm fra kollektor (n-brønn) til emitter (n^+) diffusjon.

Dersom spenningsforsyningen til brønnen er svak vil npn transistoren kunne trekke brønnspenningen $V_{brønn}$ noe ned fra V_{DD} . Vi kan modellere dette som en motstand i n-brønnen som vist i Fig. 14.

Vi kan nå tenke oss at det trekkes strøm fra n-brønnen slik at spenningen i brønnen $V_{brønn}$ faller i forhold V_{DD} slik at det genereres en pnp bipolar transistor med base i n-brønnen som vist i Fig. 15, kollektor i p^+ diffusjon (V_{DD}) og emitter i p-substratet. Den nye transistoren vil trekke strøm fra spenningsforsyningen (kollektor) og tilføre strøm til substratet og dermed bidra til at substratspenningen V_{sub} stiger ytterligere og bidrar til at npn transistoren med kollektor i n-brønnen trekker mer strøm, som igjen vil bidra til at $V_{brønn}$ faller ytterligere. Vi har

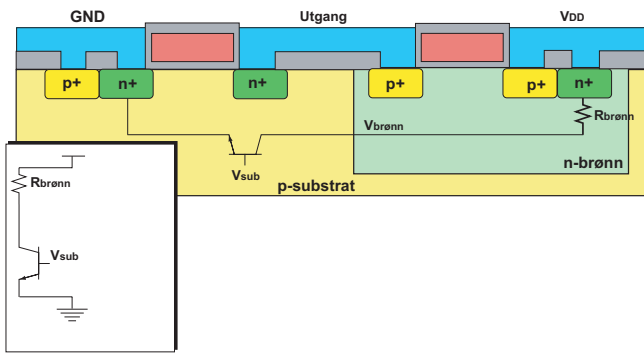


Fig. 14. Latchup.

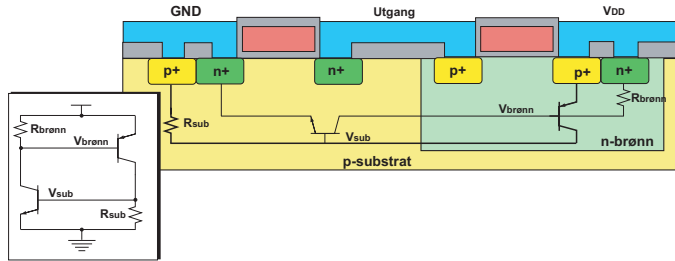


Fig. 15. Latchup.

nå fått to bipolare transistorer som virker sammen som en aktiv kortslutning mellom V_{DD} og GND .

Latchup kan lett unngås ved å minimere $R_{brønn}$ og R_{sub} slik at det er mindre spenningstap i brønn og substrat mot henholdsvis V_{DD} og GND . Det er svært viktig at designeren lager god kontakt til brønn og substrat slik at spenningsreferansene er sterke. Det er en god strategi å plassere så mange substrat og brønnkontakter som arealet tillater. Følgende strategier bør følges for å unngå problemer med latchup:

- Alle brønner bør ha minst en brønnkontakt.
- Alle substrat- og brønner bør kobles direkte til passende referanser tilført i gode metalledere.
- Brønn- og substratkontakter bør plasseres for hver 5-10 transistor og med maksimalt $25 \mu m$ avstand. Som regel er det fornuftig å plassere så mange brønn- og substratkontakter som arealet tillater.
- nMOS transistorer bør plasseres så nær spenningsforsyningen GND som mulig, og tilsvarende pMOS transistorer så nær V_{DD} som mulig.

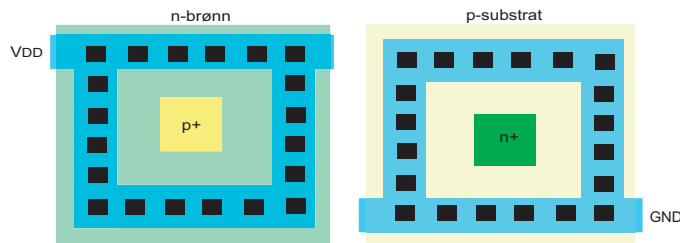


Fig. 16. Guard rings.

I/O, dvs. inngangs- og/eller utgangspadder eller eksterne tilkoblinger, spiller en spesielt viktig rolle i latchup problemer.

Eksterne signaler har man liten kontroll over slik at det er fornuftig å beskytte disse padderne spesielt for å redusere risikoen for uønskede spenninger internt i den integrerte kretsen. Det er viktig å legge *beskyttelsesringer* (guard rings) rundt kontaktpunkter som er knyttet til kretser som er spesielt utsatt for latchup. Dette kan typisk være brønn- og substratkontakter i I/O padderne eller transistorer som ligger svært nær padderne som vist i Fig.16.

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,