

# INF3400/4400 Digital Mikroelektronikk

## Løsningsforslag DEL 8

### Våren 2007

YNGVAR BERG

#### I. DEL 8

##### Del 8: Effektforbruk og statisk CMOS

#### II. GJENNOMFØRING

Teori, eksempler og oppgaver knyttet til DEL 8 (og DEL 7) blir gjennomgått 17 mars. Arbeid med obligatoriske deloppgaver i DEL 7 bør avsluttes i løpet av uke 13.

#### III. OPPGAVER

##### A. Oppgave 2.11

Finn strøml lekkasje i svak inversjon i en inverter ved romtemperatur når inngangen er 0. Anta at  $\beta_n = 2\beta_p = 1\text{mA}/V^2$ ,  $n = 1.4$  og  $|V_{tp}| = V_{tn} = 0.4V$ . Anta at bodyeffekt og DIBL koeffisient  $\gamma = \eta = 0$ .

##### A.1 Løsningsforslag

De enkle transistormodellene som vi har benyttet hittil modellerer strømmen gjennom transistoren lik 0 når gate source spenningen er lavere enn terskelspenningen. I virkligheten er det ikke en skarp overgang fra ingen kanal til full kanal. Når det er etablert en kanal sier vi at transistoren opererer i *sterk inversjon* og de modellene som vi kjenner kan brukes. Når gate source spenningen er vesentlig mindre enn terskelspenningen er det vanlig å modellere transistorstrømmen som:

$$I_{ds} = I_{ds0} e^{\frac{V_{gs}-V_t}{n v_T}} \left( 1 - e^{\frac{-V_{ds}}{v_T}} \right), \quad (1)$$

der  $n$  er *slope faktor* og

$$I_{ds0} = \beta v_T^2 e^{1.8}. \quad (2)$$

Som vi ser av modellen vil det være en eksponensiell økning i strømmen for økning i gate source spenning. Det er viktig å huske på at selv om strømmen stiger kraftig i dette området som kalles *svak inversjon*, så er strømmen svært liten<sup>1</sup>. I noen analoge kretser der det ikke er strenge krav til høy hastighet kan transistorer benyttes i svak inversjon. Liten strøm gir liten effekt som i noen analoge kretser er en stor fordel. Overgangen mellom svak og sterk inversjon kalles *moderat inversjon*. En annen ting som det er verdt å merke seg er at det vil gå en liten strøm gjennom transistoren selv om den er skrudd av.

Vi antar at inverteren har en utgang som er logisk 1, dvs. at inngangen er logisk 0. Vi beregner strøml lekkasjen ved  $300^\circ K$  ved først å finne  $I_{ds0}$ :

<sup>1</sup>I svak inversjon er strømmen typisk i området fra pA til noen nA, selvom strømmen kan være vesentlig større dersom bredde/lengde forholdet er meget stort.

$$\begin{aligned} I_{ds0} &= \beta v_T^2 e^{1.8} \\ &= 1 \cdot (0.026)^2 6.05 \frac{\text{mA} \cdot V^2}{V^2} \\ &= 4.1 \mu A. \end{aligned}$$

Dette gir lekkasjestrøm, når vi antar at spenningsforsyningen er  $3.3V$ :

$$\begin{aligned} I_{ds} &= I_{ds0} e^{\frac{V_{gs}-V_t}{n v_T}} \left( 1 - e^{\frac{-V_{ds}}{v_T}} \right) \\ &= 4.1 \cdot e^{\frac{0-0.4}{1.4 \cdot 0.026}} \left( 1 - e^{\frac{-3.3}{0.026}} \right) \\ &= 4.1 \cdot 1.69 \cdot 10^{-5} \left( 1 - 7.6 \cdot 10^{-56} \right) \\ &= 6.9 \cdot 10^{-11} \\ &= 69 \text{ pA}. \end{aligned}$$

##### B. Oppgave 4.28

Du vurderer å senke  $V_{DD}$  for å redusere effektforbruket i en statisk CMOS port. Du vil også skalere  $V_t$  proporsjonalt. Vil dynamisk effektforbruk gå opp eller ned? Vil statisk effektforbruk gå opp eller ned?

##### B.1 Løsningsforslag

Statisk eller komplementær CMOS porter er svært effektive med hensyn på effektforbruk fordi når utgangen på en port har stabilisert seg til enten 1 eller 0 så går det nesten ikke strøm gjennom transistorene. Dette betyr at effektforbruket er tilnærmet lik 0 når utgangen er stabil. Historisk har effektforbruk vært mindre viktig enn hastighet og arealforbruk for en krets. For moderne CMOS prosesser, der antall transistorer og porter er svært høyt og klokkefrekvensen øker, er effektforbruk stadig viktigere.

Vi kan definere *effektforbruk* som trekkes fra spenningsforsyningen  $V_{DD}$  som:

$$P(t) = i_{DD}(t) \cdot V_{DD}, \quad (3)$$

der  $i_{DD}$  er strømmen som trekkes fra spenningsforsyningen.

Energiforbruket over en tidsperiode  $T$  kan modelleres ved å integrere effektforbruket:

$$E = \int_0^T i_{DD}(t) \cdot V_{DD} dt. \quad (4)$$

Gjennomsnittelig effektforbruk over dette intervallet er gitt av:

$$\begin{aligned} P_{avg} &= \frac{E}{T} \\ &= \frac{1}{T} \int_0^T i_{DD}(t) \cdot V_{DD} dt. \end{aligned} \quad (5)$$

Det er to hovedkomponenter i effektforbruk:

- *Statisk effektforbruk.*
  - Svak inversjonsstrøm i transistorer som er skrudd av.
  - Tunneleringsstrøm gjennom gate oksid (tynnoksid).
  - Lekkasje i reversforspente dioder (pn-overganger).
  - Strøm i transistorer som skal overstyres av andre transistorer, i for eksempel pseudo nMOS logikk.
- *Dynamisk effektforbruk.*
  - Opp- og utlading av kapasitanser.
  - Kortslutningsstrøm i korte tidsperioder når både opp- og nedtrekk er PÅ.

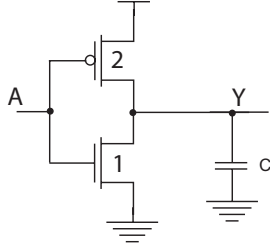


Fig. 1. CMOS inverter med last.

Den viktigste komponenten i *dynamisk effektforbruk* er opp- og utlading av kapasitanser. Inverteren som er vist i Fig. 1 er et eksempel på en komplementær port som skal drive utgangen representert som en last i form av en kapasitans  $C$ . Utgangskapasitansen skal kunne trekkes opp til 1 via pMOS transistoren og ned til 0 via nMOS transistoren. Vi kan anta at porten svitsjer mellom 0 og 1 med en gjennomsnittlig frekvens  $f_{SW}$ . Over et tidsintervall  $T$  vil lasten bli ladet opp og ut  $Tf_{SW}$  ganger. Strømmen fra pMOS transistoren vil lade opp lasten og lasten vil lades ut via nMOS transistoren. En lade opp/lade ut sykel kan betraktes som en flytting av ladningen  $Q = C \cdot V_{DD}$  fra  $V_{DD}$  til  $GND$ .

Gjennomsnittlig dynamisk effektforbruk kan modelleres som:

$$\begin{aligned} P_{dynamisk} &= \frac{1}{T} \int_0^T i_{DD}(t) \cdot V_{DD} dt \\ &= \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt. \end{aligned} \quad (6)$$

Integralet over tidsperioden  $T$  gir:

$$\begin{aligned} P_{dynamisk} &= \frac{V_{DD}}{T} [T f_{SW} C V_{DD}] \\ &= C V_{DD}^2 f_{SW}. \end{aligned} \quad (7)$$

De fleste porter svitsjer ikke i hver klokkeperiode. Det er derfor vanlig å ta hensyn til aktiviteten til porten med modellen:

$$P_{dynamisk} = \alpha C V_{DD}^2 f, \quad (8)$$

der  $\alpha$  er *aktivitetsfaktor*. Klokkesignaler svitsjer i hver klokkeperiode og har derfor aktivitetsfaktor  $\alpha = 1$ . Et vanlig aktivitetsfaktor for statisk CMOS er 0.1.

I det en utgang endrer verdi vil inngangen(e) også ofte være i transisjon. Ser vi nærmere på en inverter har vi når inngangen er mellom  $V_{tn}$  og  $V_{DD} - |V_{tp}|$  en situasjon der både

pMOS- og nMOS transistoren er PÅ. I dette tilfellet vil det gå en strøm direkte fra  $V_{DD}$  til  $GND$  som vil bidra med et effektforbruk som kalles *kortslutningseffekt*. Dersom inngangssignaler har kort stige/falltid vil kortslutningseffekten bli liten. I tilfeller der utgangslasten (kapasitans) er stor, dvs. vesentlig større enn inngangskapasitansen(e), vil kortslutningseffekten bli redusert. Vi kan modellere kortslutningseffekt som den minste av strømmene, gjennom pMOS- og nMOS transistoren i svitsingen, multiplisert med  $V_{DD}$ .

Konklusjon dynamisk effektforbruk vil gå ned når vi reduserer  $V_{DD}$ .

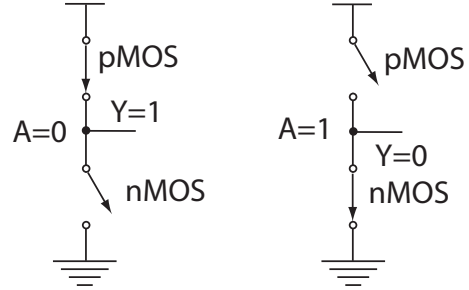


Fig. 2. Statisk effektforbruk i en CMOS inverter. (FIG4.26)

En komplementær eller statisk inverter er vist i Fig. 2. Når inngangen er 0 vil pMOS transistoren være PÅ og nMOS transistorene være AV, og utgangen vil være høy (1). Når inngangen er 1 vil pMOS transistoren være AV og nMOS transistoren være PÅ, og dermed vil utgangen være lav. Dette er stabile tistander for en CMOS port og ideelt vil det da ikke gå strøm mellom  $V_{DD}$  og  $GND$ . En transistor som er skrudd AV vil likevel levere noe strøm som er gitt av modellen for transistorstrøm i svak inversjon med  $V_{gs} = 0$ :

$$\begin{aligned} I_{statisk} &= I_{ds0} e^{\frac{-V_t}{n v_T}} \left( 1 - e^{\frac{-V_{DD}}{v_T}} \right) \\ &= I_{ds0} e^{\frac{-V_t}{n v_T}}, \end{aligned} \quad (9)$$

der  $n$  er slope faktor og

$$I_{ds0} = \beta v_T^2 e^{1.8}. \quad (10)$$

Som vi ser er den statiske strømmen som går gjennom en transistor som er skrudd av, eksponensielt avhengig av terskelspenningen. Etterhvert som teknologien utvikles vil terskelspenningen bli redusert og dermed blir statisk strøm økt. Det *statiske effektforbruket* kan da modelleres som:

$$P_{statisk} = I_{statisk} V_{DD}. \quad (11)$$

Som en konsekvens av stadig tynnere gateoksid vil det for moderne CMOS prosesser med tynnere gateoksid enn 20Å være en lekkasje mellom kanal og gate gjennom gateoksidet som består av isolatoren silisumdioksid. Denne tunnerlingen som kalles gate lekkasje er merkbar for CMOS prosesser fra gate-lengder lik 130nm, med tunnoksid mindre enn 20Å, og under.

I tillegg vil det være en liten lekkasje i pn-overganger, særlig mellom diffusjonsområder og substrat eller brønn. I moderne prosesser er denne lekkasjen mindre enn lekkasjestrømmer i transistorer. Det er derfor vanlig å neglisjere denne lekkasjeeffekten.

Noen logikkstiler, som for eksempel pseudo nMOS, vil ha et betydelig innslag av statisk effektforbruk.

Vi kan modellen  $P_{statisk} = I_{statisk} V_{DD}$ . Det er viktig være klar over at en reduksjon i  $V_{DD}$  uten at terskelspenningen  $V_t$  endres vil redusere statisk effektforbruk. Ved utvikling av CMOS teknologi skaleres  $V_t$  proporsjonalt med  $V_{DD}$ .  $I_{statisk}$  er eksponensielt avhengig av  $V_t$ , dvs. når  $V_t$  reduseres vil lekkasjestrømmen stige eksponensielt mhp. reduksjon i  $V_t$ , slik at vi kan konkludere med at statisk effektforbruk vil øke.

### C. Oppgave 6.18

Tegn transistorskjema for pseudo-nMOS 3inngangs NAND og NOR porter. Angi transistorstørrelser og finn logisk effort for nedtrekk og opptrekk gjennomsnitt for portene.

#### C.1 Løsningsforslag

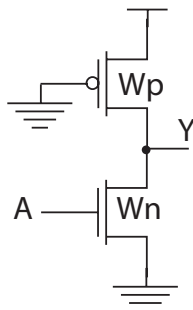


Fig. 3. Pseudo nMOS inverter. (FIG6.12)

En pseudo nMOS inver er vist i Fig. 3. Vi kan starte med å velge at den effektive motstanden i nedtrekket skal være lik  $R$  som tilsvarer en enhetsinverter. Det er samtidig fornuftig å velge at den motstanden i nMOS transistoren, dvs. nedtrekket uten hensyn til pMOS transistoren, skal være  $1/4$  av effektiv opptrekksmotstand. Husk at opptrekket alltid er på slik at nMOS transistoren må gjøres vesentlig sterkere en pMOS transistoren for å sikre en klart definert logisk 0 på utgangen. Dersom vi antar at mobilitetsforskjellen er  $\mu_n/\mu_p = 2$ , kan sette opp følgende ligninger:

$$\begin{aligned}
 R_{opptrekk} &= R_p \\
 &= \frac{\mu_n}{W_p} R \\
 &= \frac{2}{W_p} R \\
 R_n &= \frac{1}{4} R_p \\
 &= \frac{1}{4} \cdot \frac{2}{W_p} R \\
 &= \frac{1}{2W_p} R \\
 R_{nedtrekk} &= \frac{1}{G_n - G_p} \\
 &= \frac{1}{R_n^{-1} - R_p^{-1}} \\
 &= \frac{1}{\left(\frac{1}{2W_p} R\right)^{-1} - \left(\frac{2}{W_p} R\right)^{-1}} \\
 &= \frac{1}{\frac{2W_p}{R} - \frac{W_p}{2R}} \\
 &= \frac{1}{\frac{3W_p}{2R}}
 \end{aligned}$$

$$= \frac{2}{3W_p} R.$$

Vi ønsker at effektiv nedtrekksmotstand skal være lik  $R$  som gir

$$\begin{aligned}
 \frac{2}{3W_p} R &= R \\
 W_p &= \frac{2}{3},
 \end{aligned}$$

og dermed

$$\begin{aligned}
 R_n &= \frac{1}{2W_p} R \\
 &= \frac{1}{2 \cdot \frac{2}{3}} R \\
 &= \frac{3}{4} R,
 \end{aligned}$$

som gir

$$\begin{aligned}
 W_n &= \frac{1}{R_n} \\
 &= \frac{4}{3}.
 \end{aligned}$$

Vi har at  $W_n = C_{inngang}$  og  $W_p = C_{gate-pMOS}$ . Logisk effort for opptrekket blir da

$$\begin{aligned}
 g_u &= \frac{W_n}{W_p + \frac{\mu_p}{\mu_n} W_p} \\
 &= \frac{W_n}{W_p + \frac{1}{2} W_p} \\
 &= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{3}} \\
 &= \frac{4}{3}.
 \end{aligned} \tag{12}$$

Vi kan beregne motstanden for transistorene:

$$\begin{aligned}
 R_n &= \frac{1}{W_n} R \\
 &= \frac{3}{4} R \\
 R_p &= \frac{2}{\frac{2}{3}} R \\
 &= 3R.
 \end{aligned} \tag{13}$$

Vi kan anvende Ohms lov og uttrykke strømmendifferansen mellom nMOS og pMOS transistoren, som vil være lik den effektive, eller netto, strømtrekket for nedtrekket:

$$\begin{aligned}
 I_n &= \frac{V_{DD}}{R_n} \\
 &= \frac{4V_{DD}}{3R} \\
 I_p &= \frac{V_{DD}}{R_p} \\
 &= \frac{V_{DD}}{3R} \\
 I_n - I_p &= \frac{V_{DD}}{R}.
 \end{aligned} \tag{14}$$

pseudo nMOS inverteren vil da ha et nedtrekk som tilsvarer nedtrekket for en inverter med en enhets nMOS transistor.

En annen måte å uttrykke dette på er en effektiv transkonduktans i nedtrekket:

$$\begin{aligned} G_n &= \frac{4}{3}R^{-1} \\ G_p &= \frac{1}{3}R^{-1} \\ G_n - G_p &= R^{-1}. \end{aligned} \quad (15)$$

Den effektive motstanden i nedtrekket blir da

$$\begin{aligned} R_{nedtrekk} &= \frac{1}{G_n - G_p} \\ &= R. \end{aligned} \quad (16)$$

Vi kan nå uttrykke logisk effort for opptrekk og nedtrekk:

$$\begin{aligned} g_u &= \frac{W_n}{W_p + \frac{\mu_p}{\mu_n} W_p} \\ &= \frac{W_n}{W_p + \frac{1}{2}W_p} \\ &= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{2}\frac{2}{3}} \\ &= \frac{4}{3} \\ g_d &= \frac{W_n}{(W_n - \frac{1}{2}W_p) + \frac{\mu_n}{\mu_p}(W_n - \frac{1}{2}W_p)} \\ &= \frac{W_n}{(W_n - \frac{1}{2}W_p) + 2(W_n - \frac{1}{2}W_p)} \\ &= \frac{\frac{4}{3}}{3(\frac{4}{3} - \frac{1}{3})} \\ &= \frac{4}{9} \\ g_{avg} &= \frac{\frac{4}{3} + \frac{4}{9}}{2} \\ &= \frac{8}{9}. \end{aligned} \quad (17)$$

Parasittisk tidsforsinkelse beregnes ut ifra effektiv motstand og parasittisk kapasitans (intern kapasitans):

$$\begin{aligned} P_u &= R_{opptrekk} C_{intern} \\ &= R_p \left( \frac{2}{3} + \frac{4}{3} \right) C \\ &= 3R_2 C \\ &= 2\tau \\ P_d &= R_{nedtrekk} C_{intern} \\ &= 1R \left( \frac{2}{3} + \frac{4}{3} \right) C \\ &= R_2 C \\ &= \frac{2}{3}\tau \\ p_{avg} &= \frac{4}{3}\tau. \end{aligned} \quad (18)$$

3inngangs pseudo NAND og NOR porter er vist i Fig. 4. Vi starter med å sammenligne NAND porten med en inverter.

For 3inngangs pseudo nMOS NAND porten i Fig. 5 antar vi at motstanden i opptrekket skal være 4 ganger så stor som den

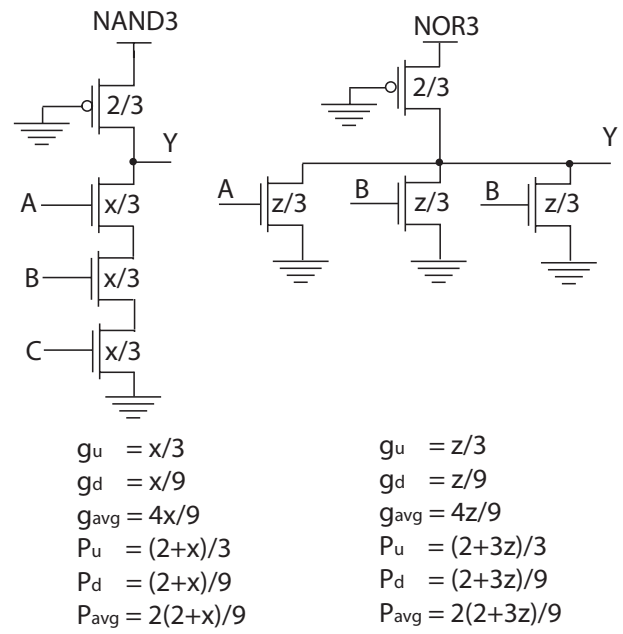


Fig. 4. pseudo-nMOS 3inngangs NAND og NOR porter.

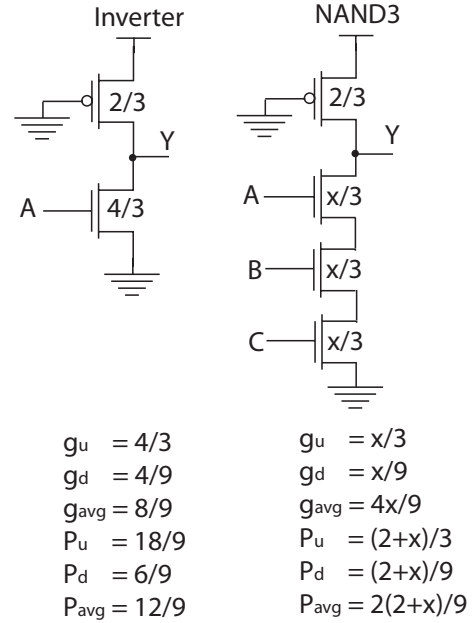


Fig. 5. pseudo-nMOS 3inngangs NAND og inverter.

effektive motstanden i de tre nMOS transistorene i nedtrekket. Dersom vi velger størrelsen på pMOS transistoren  $W_p = 2/3$  vil motstanden i opptrekket være:

$$\begin{aligned} R_p &= \frac{\mu_n}{\mu_p} \left( \frac{1}{W_p} \right) R \\ &= 2 \left( \frac{1}{W_p} \right) R \\ &= 3R. \end{aligned} \quad (19)$$

Nedtrekket består av tre nMOS transistorer som vi antar er like og med motstand lik  $R_n$  hver. De tre nMOS transistorene vil til sammen utgjøre en motstand lik  $3R_n$ .

Vi setter ekvivalentmotstanden i de tre nMOS transistorene lik  $1/4$  av motstanden i opptrekket og finner størrelsen på nMOS transistorene:

$$\begin{aligned}
 R_n &= W_n^{-1} \\
 R_{nMOSkjede} &= (W_n^{-1} + W_n^{-1} + W_n^{-1}) R \\
 &= \frac{3}{W_n} R \\
 \frac{3}{W_n} R &= \frac{1}{4} R_p \\
 \frac{3}{W_n} R &= \frac{1}{4} 3R \\
 \frac{1}{W_n} &= \frac{1}{4} \\
 W_n &= 4,
 \end{aligned} \tag{20}$$

som tilvarer  $x = 12$ . Motstanden i nedtrekket blir da:

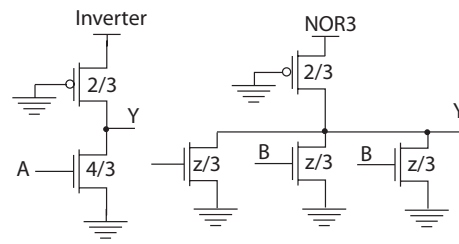
$$\begin{aligned}
 R_{nedtrekk} &= (R_{nMOSkjede}^{-1} - R_p^{-1})^{-1} \\
 &= \left( \frac{W_n}{3} - \frac{1}{3} \right)^{-1} R \\
 &= R.
 \end{aligned} \tag{21}$$

Logisk effort for opptrekk, og nedtrekk blir:

$$\begin{aligned}
 g_u &= \frac{W_n}{W_p + \frac{\mu_p}{\mu_n} W_p} \\
 &= \frac{W_n}{W_p + \frac{1}{2} W_p} \\
 &= \frac{4}{\frac{2}{3} + \frac{1}{3}} \\
 &= 4 \\
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(\left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right)^{-1} - \frac{1}{2} W_p\right)} \\
 &= \frac{W_n}{3 \left(\left(\frac{1}{W_n} + \frac{1}{W_n} + \frac{1}{W_n}\right)^{-1} - \frac{1}{2} W_p\right)} \\
 &= \frac{W_n}{3 \left(\frac{1}{3} W_n - \frac{1}{2} W_p\right)} \\
 &= \frac{4}{3 \left(\frac{4}{3} - \frac{1}{3}\right)} \\
 &= \frac{4}{3} \\
 g_{avg} &= \frac{8}{3}.
 \end{aligned} \tag{22}$$

Parasittisk tidsforsinkelse for 3inngangs pseudo nMOS NAND port blir:

$$\begin{aligned}
 P_u &= R_{opptrekk} C_{intern} \\
 &= 3R \left( \frac{2}{3} + 4 \right) C \\
 &= 14RC \\
 &= \frac{14}{3} \tau \\
 P_d &= R_{nedtrekk} \left( \frac{14}{3} \right) C \\
 &= \frac{14}{9} \tau \\
 P_{avg} &= \frac{28}{9} \tau.
 \end{aligned} \tag{23}$$



$g_u = 4/3$	$g_u = z/3$
$g_d = 4/9$	$g_d = z/9$
$g_{avg} = 8/9$	$g_{avg} = 4z/9$
$P_u = 18/9$	$P_u = (2+3z)/3$
$P_d = 6/9$	$P_d = (2+3z)/9$
$P_{avg} = 12/9$	$P_{avg} = 2(2+3z)/9$

Fig. 6. *pseudo-nMOS 3inngangs NOR og inverter.*

For 2inngangs pseudo nMOS NOR porten i Fig. 6 antar vi at motstanden i opptrekket skal være 4 ganger så stor som den effektive motstanden i en nedtrekkstransistor. Dersom vi velger størrelsen på pMOS transistoren  $W_p = 2/3$  vil motstanden i opptrekket være:

$$\begin{aligned}
 R_p &= 2 \left( \frac{1}{W_p} \right) R \\
 &= 3R.
 \end{aligned} \tag{24}$$

Nedtrekket består av tre nMOS transistorer i parallell som vi antar er like og med motstand lik  $R_n$  hver. Vi antar at bare en av transistorene er PÅ slik at den effektive motstanden i nedtrekkstransistorene blir  $R_n$ . Vi antar at motstanden i nedtrekket skal være  $1/4$  av motstanden i opptrekket:

$$\begin{aligned}
 R_n &= \frac{1}{4} R_{opptrekk} \\
 &= \frac{3}{4} R,
 \end{aligned} \tag{25}$$

som gir transistorstørrelse  $W_n = 4/3$  ellr  $z = 4$ , og den effektive motstanden i nedtrekket blir:

$$\begin{aligned}
 R_{nedtrekk} &= \left( W_n - \frac{1}{2} W_p \right)^{-1} \\
 &= \left( \frac{4}{3} - \frac{1}{2} \frac{2}{3} \right)^{-1} R \\
 &= R.
 \end{aligned} \tag{26}$$

$$= R. \tag{27}$$

Logisk effort for opptrekk, og nedtrekk blir:

$$\begin{aligned}
 g_u &= \frac{W_n}{W_p + \frac{\mu_p}{\mu_n} W_p} \\
 &= \frac{W_n}{W_p + \frac{1}{2} W_p} \\
 &= \frac{\frac{4}{3}}{\frac{2}{3} + \frac{1}{3}} \\
 &= \frac{4}{3} \\
 g_d &= \frac{W_n}{\left(1 + \frac{\mu_n}{\mu_p}\right) \left(W_n - \frac{\mu_p}{\mu_n} W_p\right)}
 \end{aligned}$$

$$\begin{aligned} &= \frac{W_n}{3 \left( W_n - \frac{1}{2} W_p \right)} \\ &= \frac{\frac{4}{3}}{3 \left( \frac{4}{3} - \frac{1}{3} \right)} \\ &= \frac{4}{9} \\ g_{avg} &= \frac{8}{9}. \end{aligned} \tag{28}$$

Parasittisk tidsforsinkelse for 3inngangs pseudo nMOS NOR port blir:

$$\begin{aligned}
P_u &= R_{opptrekk} C_{intern} \\
&= 3R \left( \frac{2}{3} + \frac{4}{3} + \frac{4}{3} + \frac{4}{3} \right) C \\
&= 14RC \\
&= \frac{14}{3} \tau \\
P_d &= R_{nedtrekk} \left( \frac{2}{3} + \frac{4}{3} + \frac{4}{3} + \frac{4}{3} \right) C \\
&+ R \frac{14}{3} C \\
&= \frac{14}{9} \tau \\
P_{avg} &= \frac{28}{9} \tau.
\end{aligned} \tag{29}$$

### D. Oppgave 6.19

Tegn transistorskjema for en pseudo-nMOS port som implementerer funksjonen  $F = A(B + C + D) + E \cdot F \cdot G$ .

## D.1 Løsningsforslag

Vi starter med å se på nedtrekket til funksjonen  $F = A(B + C + D) + E \cdot F \cdot G$ . Nedtrekket består av to parallelle grener, dvs.  $E \cdot F \cdot G$  og  $A(B + C + D)$ . Nedtrekket via transistorer som styres av  $E$ ,  $F$  og  $G$  består av tre transistorer i serie. I den andre nedtrekksgrenen vil det være en seriekobling av  $A$  og parallellkobling  $B$ ,  $C$  og  $D$ .

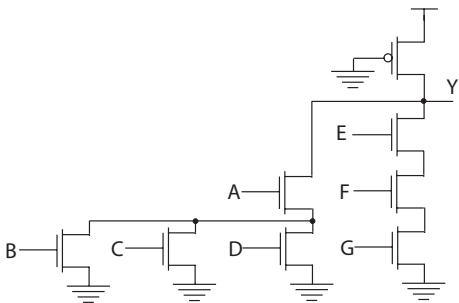


Fig. 7. pseudo-nMOS port for funksjonen  $F = A(B + C + D) + E \cdot F \cdot G$ .

Denne porten vil ha ulike nedtrekksmuligheter. Vi velger å dimensjonere for “worst case” som for dette tilfellet vil si nedtrekk gjennom tre seriekoblede transistorer styrt av inngangene  $E$ ,  $F$  og  $G$ . Vi vil dimensjonere denne porten tilsvarende som for en 3inngangs NAND port. Parasittisk tidsforsinkelse vil bli litt større for denne porten enn for en 3inngangs NAND port på grunn av mer kapasitans knyttet til transistorene styrt av  $A$ ,  $B$ ,  $C$  og  $D$ . “Worst case” nedtrekk vil forutsette  $A = E = F = G = 1$  og  $B = C = D = 0$ .

### E. Oppgave 6.25

Sammenlign gjennomsnittelig tidsforsinkelse i 2, 4, 8 og 16 inngangs pseudo nMOS og SFPL NOR porter når vi antar at portene skal drive fire identiske porter.

## E.1 Løsningsforslag

Vi kan starte med å se på hvordan parasittisk tidsforsinkelse for ulike logikkstilene varierer med antall innganger. Parasittisk tidsforsinkelse for en  $x$ inngangs pseudo nMOS NOR port kan uttrykkes som:

$$\begin{aligned}
P_u &= R_{\text{oppttrekk}} C_{\text{intern}} \\
&= 3R \left( \frac{2}{3} + n \frac{4}{3} \right) C \\
&= (4n + 2) RC \\
&= \left( \frac{4n + 2}{3} \right) \tau \\
P_d &= R_{\text{nedtrekk}} \left( \frac{2}{3} + n \frac{4}{3} \right) C \\
&+ R \left( \frac{4n + 2}{3} \right) C \\
&= \left( \frac{4n + 2}{9} \right) \tau \\
P_{avg} &= \frac{8(2n + 1)}{2 \cdot 9} \tau \\
&= \frac{4(2n + 1)}{9} \tau.
\end{aligned} \tag{30}$$

Dersom porten skal drive fire identiske porter vil dette utgjøre en ekstern last:

$$\begin{aligned} C_{ekstern} &= 4 \left( \frac{4}{3} \right) C \\ &= \frac{16}{3} C. \end{aligned}$$

Vi kan beregne tidsforsinkelsen:

$$\begin{aligned} d &= f + P_{avg} \\ &= g_{avg} \cdot h + \frac{4(2n+1)}{9} \\ &= \frac{8}{9} \cdot 4 + \frac{4(2n+1)}{9} \\ &= \frac{32 + 4(2n+1)}{9} \\ &= \frac{4}{9} (8 + (2n+1)). \end{aligned}$$

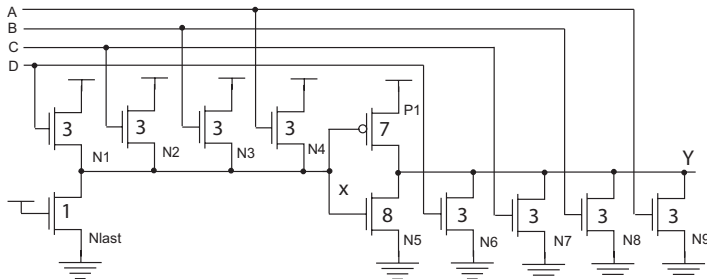


Fig. 8. *Source følger opptrekksslogikk. (FIG6.19)*

En port som kan minne om en pseudo nMOS port er vist i Fig. 8. Kretsen kalles *source følger opptrekslogikk* (SFPL)

Source Follower Pull-up Logic). Her er opptrekket kontrollert av inngangssignalene. Biaseringskretsen består av bare nMOS transistorer, der nMOS transistorene som styres av inngangene bidrar til å dra biaseringsutgangen  $x$  nærmere logisk 1 som funksjon av antall innganger som er 1.  $N_{last}$  transistoren vil trekke  $x$  ned mot 0, og 1ere på inngangssignalene vil bidra til å trekke  $x$  opp mot 1 gjennom nMOS transistorer. Husk at nMOS transistorene som er koblet opp mot  $V_{DD}$  i biaseringskretsen har source koblet til  $x$ , slik at disse transistorene vil være svake. Det vil være et relativt betydelig statisk effektforbruk i SFPL porter, det faktiske effektforbruket er avhengig av inngangsmønstre.

Vi kan utvide 4inngangs SFPL NOR porten ved å legge til et antall nMOS transistorer i parallell i nedtrekket og det samme antallet nMOS transistorer i opptrekket for noden  $x$ . Dette kan vi gjøre uten å dimensjonere om transistorene. Transistor  $N5$  vil bidra med nedtrekket utgangen skal trekkes lav. En svært enkel modell av parasittisk tidsforsinkelse for nedtrekket kan bygges på en antagelse av at  $N5$  bidrar med samme strømmen som en av de andre nedtrekkstransistorene  $N6$  til  $N9$ . Dersom vi antar at opptrekkstransistoren  $P1$  er nesten skrudd av når utgangen skal trekkes lav kan vi lage en forenklet modell for parasittisk tidsforsinkelse for SFPL porten:

$$\begin{aligned} P_{nedtrekk} &= \left(\frac{1}{2}\right) \cdot \left(\frac{R}{3}\right) \cdot (7 + 8 + n \cdot 6) C \\ &= \left(\frac{15 + n \cdot 6}{6}\right) RC \\ &= \left(\frac{5 + 2n}{6}\right) \tau. \end{aligned}$$

Ved opptrekk kan vi anta at alle inngangene er 0 og at noden  $x = 0$ . Dette gir en forenklet modell for parasittisk tidsforsinkelse i opptrekket:

$$\begin{aligned} P_{opptrekk} &= \frac{2R}{7} (15 + n \cdot 6) C \\ &= 2 \left(\frac{15 + n \cdot 6}{7}\right) RC \\ &= 2 \left(\frac{5 + 2n}{7}\right) \tau. \end{aligned}$$

Gjennomsnittelig parasittisk tidsforsinkelse blir da:

$$\begin{aligned} P_{avg} &= \frac{1}{2} \cdot \left( \left(\frac{5 + 2n}{6}\right) \tau + 2 \left(\frac{5 + 2n}{7}\right) \tau \right) \\ &= \frac{1}{2} \cdot \left( \frac{7(5 + 2n) + 12(5 + 2n)}{42} \right) \tau \\ &= \frac{1}{2} \cdot \left( \frac{19(5 + 2n)}{42} \right) \tau \\ &= \frac{19}{84} \cdot (5 + 2n) \tau. \end{aligned}$$

Dersom porten skal drive fire identiske porter vil dette utgjøre en ekstern last:

$$\begin{aligned} C_{ekstern} &= 4 \cdot (3 + 3) C \\ &= 24C. \end{aligned}$$

Vi kan finne enkle modeller for logisk effort for SFPL porten. I opptrekket er det en transistor med størrelse 7. En inverter med størrelse lik 7 på pMOS transistoren vil ha en inngangslast lik  $C_{inn} = 7C + (\mu_p/\mu_n) \cdot 7C$ . For nedtrekk sammenligner vi med en inverter med bredde lik  $3 + 3 = 6$  for nMOS transistoren som vil gi  $(1 + \mu_n/\mu_p) \cdot (6 - 6/4) = 27/2$ .

$$\begin{aligned} g_u &= \frac{3 + 3}{7 + \frac{\mu_p}{\mu_n} 7} \\ &= \frac{6}{7 + \frac{1}{2} 7} \\ &= \frac{12}{21} \\ &= \frac{4}{9} \\ g_d &= \frac{6}{\left(1 + \frac{\mu_n}{\mu_p}\right) \cdot \left(6 - \frac{1}{4} \cdot 6\right)} \\ &= \frac{2}{\frac{18}{4}} \\ &= \frac{4}{9} \\ g_{avg} &= \frac{4}{9}. \end{aligned}$$

Vi kan beregne tidsforsinkelsen:

$$\begin{aligned} d &= f + P_{avg} \\ &= g_{avg} \cdot h + \frac{19}{84} \cdot (5 + 2n) \\ &= \frac{4}{9} \cdot 4 + \frac{19}{84} \cdot (5 + 2n) \\ &= \frac{16}{9} + \frac{19}{84} \cdot (5 + 2n). \end{aligned}$$

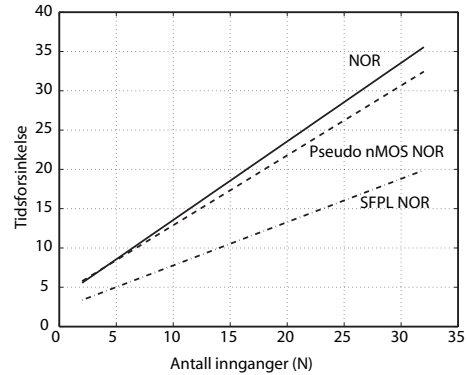


Fig. 9. Tidsforsinkelse i pseudo nMOS og SFPL NOR porter som av antall innganger ( $n$ ).

Tidsforsinkelse

#### F. Oppgave 6.26

Tegn transistorskjema for en 3inngangs CVSL OR /NOR port.

##### F.1 Løsningsforslag

Transistorskjema for 3inngangs CVSL OR /NOR port er vist i Fig. 10.

#### REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,

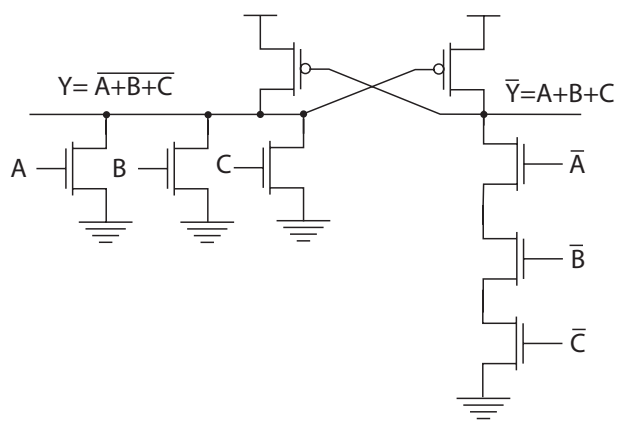


Fig. 10. *3inngangs CVSL NOR port.*