

INF3400/4400 Digital Mikroelektronikk

Løsningsforslag DEL 6

YNGVAR BERG

I. DEL 6

Del 6: Tidsforsinkelse i logiske kjeder

II. OPPGAVER

A. Eksamensoppgave 2005

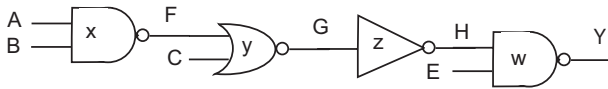


Fig. 1. Kjede med porter.

Finn logisk effort for portene og kjeden i Fig. 1. Anta at utgangen Y skal drive 4 enhetsinvertere. Finn elektrisk effort for portene og kjeden. Hva blir kjedens effort F ?

A.1 Løsningsforslag

NAND portene har logisk effort lik $4/3$, NOR porten har logisk effort lik $5/3$ og inverteren har logisk effort lik 1. Logisk effort for kjeden blir

$$\begin{aligned} G &= \frac{4}{3} \cdot \frac{5}{3} \cdot 1 \cdot \frac{4}{3} \\ &= \frac{80}{27} \\ &\approx 3. \end{aligned}$$

Den første NAND porten har elektrisk effort lik y/x , NOR porten har elektrisk effort lik z/y , inverteren har logisk effort lik w/z og den siste NANDporten har logisk effort lik $12/w$. Kjedens elektriske effort blir lik $H = 4 \cdot 3/x = 12/x$.

Kjedens effort $F = GH = (80/27) \cdot (12/x)$.

B. Eksamensoppgave 2005

Hva blir optimale port effort for kjeden i Fig. 1? Finn kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse. Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finne en verdi for x slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

B.1 Løsningsforslag

Kjedens optimale port effort blir $f' = (80 \cdot 12/x \cdot 27)^{1/4}$. Parasittisk tidsforsinkelse for kjeden blir $P = 2 + 2 + 1 + 2 = 7$. Minimum kjedeforsinkelse blir $D = 4 \cdot f' + P = 4 \cdot (80 \cdot 12/x \cdot 27)^{1/4} + 7$. Vi antar at parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse, som gir

$$\begin{aligned} 4 \cdot \left(\frac{80 \cdot 12}{27}\right)^{1/4} x^{-1/4} &= P \\ x^{1/4} &= \left(\frac{80 \cdot 12}{27}\right)^{1/4} \cdot \left(\frac{4}{P}\right) \end{aligned}$$

$$\begin{aligned} x &= \left(\frac{80 \cdot 12 \cdot 4^4}{27}\right) P^{-4} \\ &= \frac{80 \cdot 12 \cdot 256}{27 \cdot 2401} \\ &= 3.79 \\ &\approx 4. \end{aligned} \tag{1}$$

C. Eksamensoppgave 2005

Finn transistorstørrelser som gir minimum kjedeforsinkelse når parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse.

C.1 Løsningsforslag

Vi starter med å finne optimal port effort

$$\begin{aligned} f' &= \left(\frac{80 \cdot 12}{27 \cdot 4}\right)^{1/4} \\ &= 1.73. \end{aligned}$$

Vi starter bakerst i kjeden

$$\begin{aligned} w &= \frac{12 \cdot \frac{4}{3}}{f'} \\ &\approx 9.3, \end{aligned}$$

som gir transistorstørrelse $4\frac{1}{2}$ og pMOS- nMOS transistorene som tilsvarer $w = 9$.

Videre har vi

$$\begin{aligned} z &= \frac{9}{f'} \\ &\approx 5.2, \end{aligned}$$

som gir nMOS transistorstørrelse $1\frac{3}{4}$ og pMOS transistorstørrelse $3\frac{1}{2}$ som tilsvarer $z = 5.25$.

$$\begin{aligned} z &= \frac{5.25 \cdot \frac{5}{3}}{f'} \\ &\approx 5, \end{aligned}$$

som gir nMOS transistorstørrelse 1 og pMOS transistorstørrelse 4 som tilsvarer $z = 5$.

Som kontroll kan vi sjekke x .

$$\begin{aligned} x &= \frac{5 \cdot \frac{4}{3}}{f'} \\ &\approx 4, \end{aligned}$$

som gir nMOS transistorstørrelse 2 og pMOS transistorstørrelse 2 som tilsvarer $x = 4$.

D. Eksamensoppgave 2005 prøveeksamen

Finn logisk effort for portene og kjeden i Fig. 2. Anta at utgangen Y skal drive 4 enhetsinvertere. Finn elektrisk for kjeden. Hva blir kjedens effort F ?

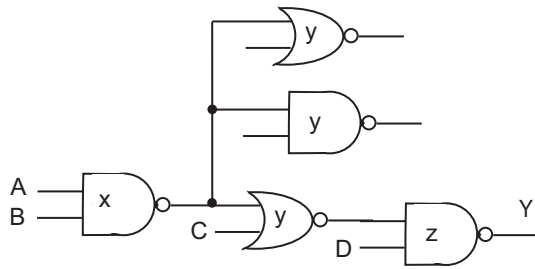


Fig. 2. Kjede med porter.

D.1 Løsningsforslag

NAND portene har logisk effert lik $4/3$, NOR porten har logisk effert lik $5/3$ og inverteren har logisk effert lik 1. Logisk effert for kjeden blir

$$\begin{aligned} G &= \frac{4}{3} \cdot \frac{5}{3} \cdot \frac{4}{3} \\ &= \frac{80}{27} \\ &\approx 3. \end{aligned}$$

Kjedens elektriske effert blir lik $H = 4 \cdot 3/x = 12/x$.

Vi ser at den er en forgening etter første inverter. Kjedens forgreningseffert blir da

$$\begin{aligned} B &= \frac{y + y + y}{y} \\ &= 3. \end{aligned}$$

Kjedens effert $F = GBH = (2880/27x)$.

E. Eksamensoppgave 2005 prøveeksamen

Hva blir optimal port effert for kjeden i Fig. 2? Finn kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse. Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finne en verdi for x slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

E.1 Løsningsforslag

Kjedens optimale port effert blir $f' = ((2880)/(27x))^{1/3} =$. Parasittisk tidsforsinkelse for kjeden blir $P = 2+2+2 = 6$. Minimum kjedeforsinkelse blir $D = 3 \cdot f' + P = 3 \cdot ((2880)/(27x))^{1/3} + 6$. Vi antar at parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse, som gir

$$\begin{aligned} 3 \cdot \left(\frac{2880}{27}\right)^{1/3} x^{-1/3} &= P \\ x^{1/3} &= \left(\frac{2880}{27}\right)^{1/3} \cdot \left(\frac{3}{P}\right) \\ x &= \left(\frac{2880 \cdot 3^3}{27}\right) P^{-3} \\ &= \frac{77760}{27 \cdot 216} \\ &= 13\frac{1}{3} \\ &\approx 13, \end{aligned} \tag{2}$$

som gir nMOS- og pMOS transistorstørrelse 6.5. Dette gir minimum kjedeforsinkelse $D = 12\tau$.

F. Oppgave 6.3

Tegn sjematikk for en 12inngangs OR port implementert med NAND og NOR porter med maksimalt 3 innganger hver.

F.1 Løsningsforslag

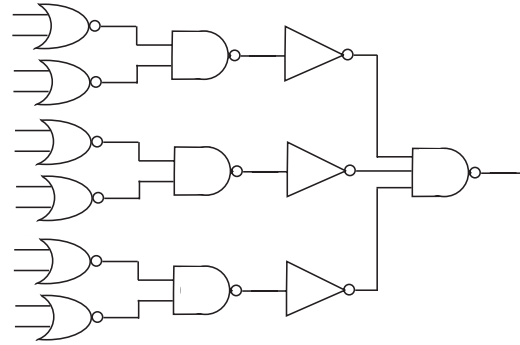


Fig. 3. 12inngangs OR funksjon.

Et eksempel på 12inngangs OR funksjon er vist i Fig. 3.

G. Oppgave 6.10

Tegn sjematikk for HI-skew og LO-skew 3inngangs NAND og NOR porter. Hva er logisk effert for portene for kritisk transisjon?

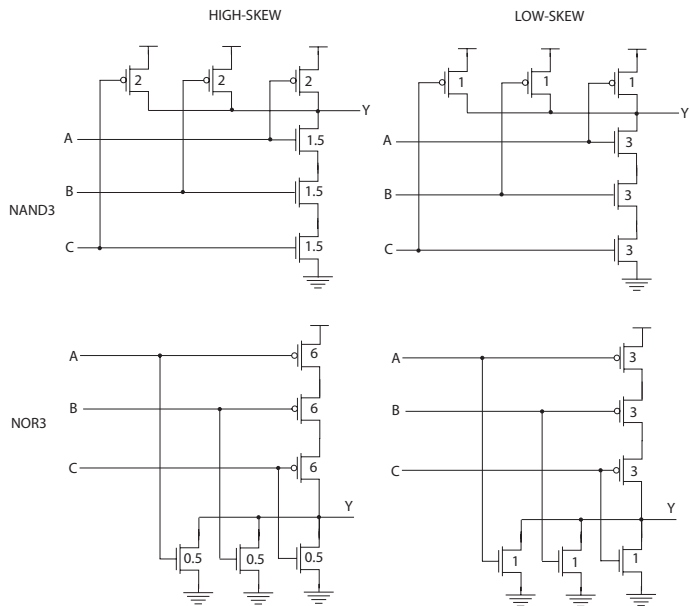


Fig. 4. NAND og NOR porter med skew.

3inngangs NAND- og NOR porter med skew er vist i Fig. 4.