

Del 14: Design av ledere og design marginer

YNGVAR BERG

I. INNHOLD

TR ansistor Alle henvisninger til figurer er relevant for Weste & Harris [1].

1. *Innhold.*
2. *Bredde og avstand for ledere.* Kapittel 4.6.1 side 219 - 220.
3. *Valg av metallag for ledere.* Kapittel 4.6.2 side 219 - 221.
4. *Beskyttelse av ledere.* Kapittel 4.6.3 side 221.
5. *Repeatere.* Kapittel 4.6.4 side 221 - 226.
6. *Interkonnekt og logisk effort.* Kapittel 4.6.5 side 227.
7. *Kontroll av crosstalk.* Kapittel 4.6.6 side 227 - 229.
8. *Lav-sving signalering.* Kapittel 4.6.7 side 229 - 231.
9. *Designmarginer og variasjoner.* Kapittel 4.7.1-3 side 231 - 233.
10. *Forsyningsspenning.* Kapittel 4.7.1 side 232.
11. *Temperaturavhengighet for MOS transistorer.* Kapittel 2.4.7 side 90 - 92.
12. *Geometriavhengighet for MOS transistorer.* Kapittel 2.4.8 side 92.
13. *Designhjørner.* Kapittel 4.7.4 side 233 - 235.
14. *Matching.* Kapittel 4.7.5 side 235 - 237.
15. *Pålitelighet.* Kapittel 4.8.1 side 239 - 240.
16. *Elektromigrasjon.* Kapittel 4.8.2 side 240.
17. *Varmeutvikling.* Kapittel 4.8.3 side 241.
18. *Hot carriers.* Kapittel 4.8.4 side 241 - 242.
19. *Latchup.* Kapittel 4.8.5 side 242 - 244.

II. BREDDER OG AVSTAND FOR LEDERE (Kapittel 4.6.1 side 219 - 220)

Tidsforsinkelse i porter avtar for moderne prosesser på grunn av redusert kapasitans som følge av redusert areal på transistorer. Lange ledere derimot vil ikke gi reduksjon i tidsforsinkelse som følge av teknologiutviklingen i CMOS. Tidsforsinkelsen i lange ledere kan til og med øke fordi lederne blir smalere og grunnere som vil resultere i større egenmotstand. Dette betyr at design av ledere blir et stadig viktigere felt innenfor design av integrerte kretser. Det er viktig å planlegge en krets med hensyn på å finne lange ledere. I alle design vil det forekomme lange ledere. Designeren kan velge metallag, bredde og avstand på lederne for å minimere problemer med forsinkelse i lange ledere. Videre er det viktig å vurdere shielding, eller beskyttelse, av ledere for å minimere crosstalk.

Designeren velger *bredde på ledere, avstand mellom ledere* og hvilket metallag som skal brukes. Vanligvis brukes minstebredde og minsteavstander for ikke-kritiske signaler, som vil gi størst mulig tetthet og minst mulig areal. Dersom vi velger bredere ledere for å redusere motstanden får vi en økning i kapasitansen som er noe mindre enn reduksjonen i motstanden, slik at tidsforsinkelsen går noe ned. Økt bredde på ledere kan også redusere crosstalk fordi det blir en mindre andel av kapasitansen som går til metalldere i lag over og under. Dersom vi øker avstanden til andre ledere (samme lag) vil kapasitansen til de nærtstående lederne i samme lag bli redusert uten endring i motstanden.

En prosess er ofte karakterisert gjennom wire *pitch*:

$$pitch = w + s, \quad (1)$$

der w er bredde på ledere og s er avstanden til andre ledere.

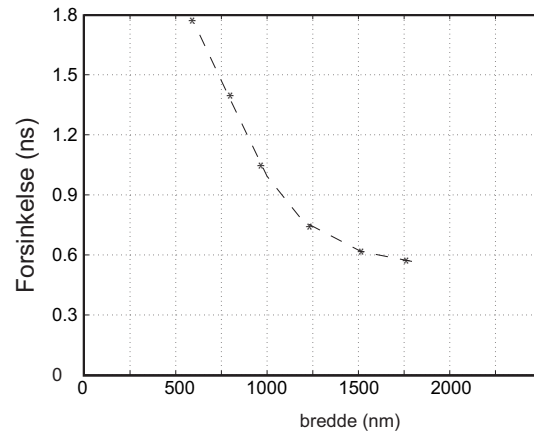


Fig. 1. Tidsforsinkelse i metalldere på 10mm som funksjon av pitch. (FIG4.51(a))

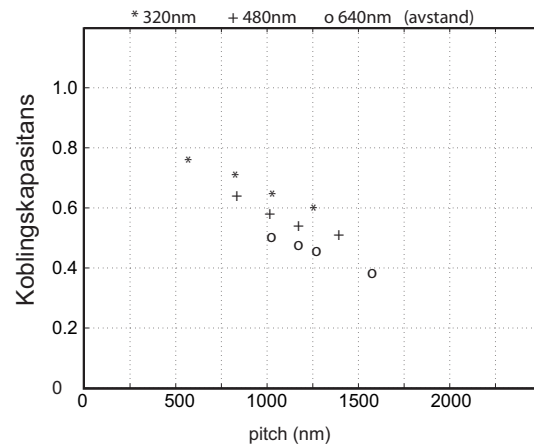


Fig. 2. Koblingskapasitans, $2C_{adj}/(2C_{adj} + C_{gnd})$, mellom metalldere på 10mm som funksjon av pitch. (FIG4.51(b))

I Fig.1 er tidsforsinkelse for en 10mm metalldere som funksjon av bredden på ledere vist. Relativ kapasitans til naboledere i samme lag for en 10mm metalldere er vist i Fig.2. Som hovedregel øker vi bredden på ledere for å redusere tidsforsinkelsen og øker avstanden til naboledere for å redusere crosstalk.

A. Mål

Forstå hvordan bredde på ledere og avstand mellom ledere påvirker tidsforsinkelse i lange ledere og crosstalk mellom lange ledere.

B. Notater

De første MOS prosessene hadde bare ett metallag i motsetning til moderne prosesser som har minst seks metallag. De nederste lagene gir grunne ledere som er optimalisert for lokal ruting. De midtre lagene er noe tykkere som gir mindre motstand og tåler mer strøm. De øverste lagene har lav motstand og brukes til distribusjon av forsyningsspenninger, klokker og raske globale signaler. På grunn av meget stor kompleksitet i moderne integrerte kretser, behov for distribusjon av forsyningsspenninger og klokkesignaler, er det et behov for mange metallag og det er svært viktig at lagene brukes fornuftig. Utnyttelse av metallagene bør gjøres ved planleggingen av en krets organisert med moduler.

Lag	Anvendelse
Metall 1	Lokal interkonnekt
Metall 2/3	Interkonnekt mellom små moduler
Metall 4/5	Interkonnekt mellom større moduler og kritiske signaler
Metall 6	I/O, klokkesignaler og spenningsforsyninger

TABLE I

Typisk bruk av metallag.

Typisk bruk av metallag er gitt i tabell I. Spenningsforsyninger blir i praksis distribuert over flere lag avhengig av strømtrekk og lokal interkonnekt. Det er fornuftig å dedikere to metallag til henholdsvis V_{DD} og GND for å redusere crosstalk problemer.

A. Notater

Som kjent kan crosstalk mellom naboledere representere et betydelig problem med hensyn på tidsforsinkelse og signalverdier. Dette problemet kan reduseres dersom to naboledere ikke svitsjer. Det er vanlig praksis å beskytte (*shield*) ledere som ligger i nærheten av hverandre. Det legges i faste spenningsreferanser, typisk V_{DD} eller GND , tett mot de signalførende lederne. Dette vil medføre økt arealbehov men mindre støy og redusert tidsforsinkelse på grunn av mindre crosstalk. Klokkesignaler beskyttes for å motvirke forsinkelse (clockskew). I mixed-signal, dvs. analoge og digitale signaler på samme integrerte krets, er det svært viktig å beskytte de analoge signalene mot digital støy. Man kan også utnytte spesiell kjennskap til de aktuelle signalene som skal rutes i nærheten av hverandre. For eksempel dersom signal A alltid er konstant når nabosignal B svitsjer og omvendt kan disse signalene legges forholdsvis nær hverandre uten at det blir signifikant crosstalk. Nabolederen vil da kunne fungere som beskyttelse mot andre signaler. Vi antar at alle signaler er drevet slik at en kapasitiv påvirkning fra naboer ikke representerer et støyproblem.

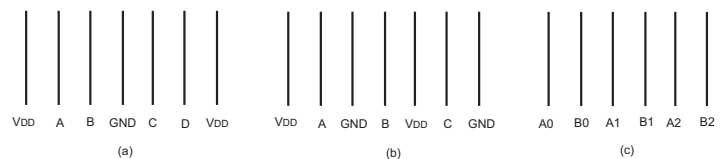


Fig. 3. . Ulike strategier for beskyttelse av ledere. (FIG4.52)

Ulike strategier for beskyttelse av signaler mot crosstalk er vist i Fig. 3. Til venstre (a) er det lagt inn spenningsreferanse mellom hvert andre signal, i midten (b) er det lagt spenningsreferanse mellom hvert signal, for eksempel klokkesignaler, og til høyre (c) signaler som ikke svitsjer samtidig lagt ved siden av hverandre.

A. Notater

Dersom vi øker lengden l på en leder vil tidsforsinkelsen øke betydelig fordi kapasitansen og motstanden vil øke.

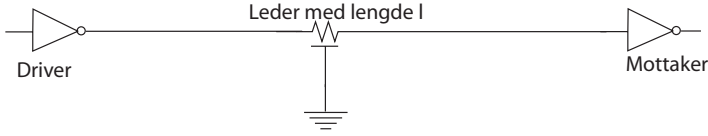


Fig. 4. Leder uten repeatere. (FIG4.53a)

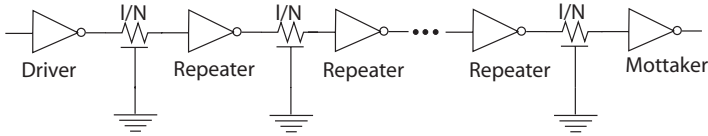


Fig. 5. Leder med repeatere. (FIG4.53b)

En enkel modell for en leder er vist i Fig 4. Ved å dele opp lederen i mindre segmenter kan vi redusere tidsforsinkelsen. Segmentene består av en inverter som kalles *repeater* og vil aktivt drive lederen. Den nye linjen som er vist i Fig. 5 består av N segmenter med en RC tidsforsinkelse tilsvarende $(l/N)^2$, som vil gi en total tidsforsinkelse lik l^2/N . Dersom antallet segmenter er proporsjonal med lengden på lederen l vil tidsforsinkelsen øke lineært med l .

Det gir best resultat å bruke invertorer som repeatere. Hver repeater vil bidra med tidsforsinkelse, men dersom avstanden mellom repeaterne er for stor vil den totale tidsforsinkelsen bli dominert av selve lederen og ikke repeaterne. Dersom avstanden mellom repeaterne er for liten vil den totale tidsforsinkelsen bli dominert av tidsforsinkelsen som er knyttet til repeaterne. Det optimale vil være et kompromiss mellom antall repeatere og lengde på ledere.

Anta en enhetsinverter med motstand R og kapasitans C' , der $C' = 3C$ fordi invertoreren er sammensatt av en enhets nMOS transistor og en pMOS transistor med dobbel bredde, og en leder med motstand R_w og kapasitans C_w per lengdeenhet. Anta videre at det settes inn repeatere med W ganger enhetsstørrelse. Vi kan nå finne den optimale lengde på lederen mellom hver repeater når vi ser bort fra diffusjonskapasitans.

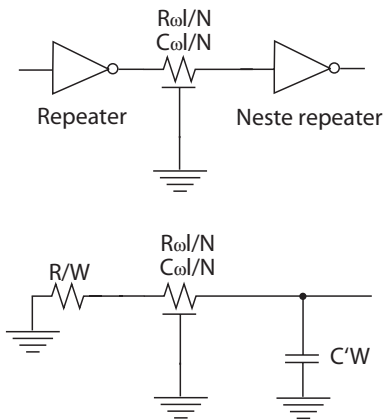


Fig. 6. Modell for repeater (segment) som driver neste port og interkonnekt. (FIG4.82)

I Fig. 6 er en modell for et segment vist. Modellen består av en driver, leder og en mottaker.

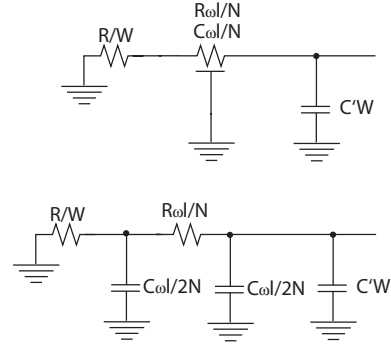


Fig. 7. Elmore forsinkelsesmodell.

Vi kan bruke Elmore forsinkelsesmodell ved å modellere segmentet som vist i Fig. 7. Vi får da

$$\begin{aligned} t_{pd_{segment}} &= \frac{R}{W} C_w \frac{l}{2N} + \left(\frac{R}{W} + R_w \frac{l}{N} \right) \left(C_w \frac{l}{2N} + C' W \right) \\ &= \frac{R}{W} \left(C_w \frac{l}{N} + C' W \right) + R_w \frac{l}{N} \left(C_w \frac{l}{2N} + C' W \right) \end{aligned}$$

Den totale forsinkelsen blir da

$$\begin{aligned} t_{pd_{leder}} &= N \cdot t_{pd_{segment}} \\ &= N \left(\frac{R}{W} \left(C_w \frac{l}{N} + C' W \right) + R_w l \left(C_w \frac{l}{2N} + C' W \right) \right) \\ &= RC_w \frac{l}{W} + NRC' + R_w C_w \frac{l^2}{2N} + R_w C' l W \\ &= NRC' + l \left(R_w C' W + \frac{RC_w}{W} \right) + l^2 \frac{R_w C_w}{2N} \end{aligned}$$

Vi kan nå derivere med hensyn på N

$$\frac{\delta t_{pd_{leder}}}{\delta N} = RC' - l^2 \frac{R_w C_w}{2N^2},$$

og sette den deriverte lik 0 for å finne minimum forsinkelse

$$\begin{aligned} RC' - l^2 \frac{R_w C_w}{2N^2} &= 0 \\ N &= l \sqrt{\frac{R_w C_w}{2RC'}} \\ \frac{l}{N} &= \sqrt{\frac{2RC'}{R_w C_w}} \end{aligned}$$

For å finne forsinkelse per enhetslengde finner vi optimal W ved å derivere mhp W og sette lik 0

$$\frac{\delta t_{pd_{leder}}}{\delta W} = l \left(R_w C' - \frac{RC_w}{W^2} \right),$$

som gir

$$\begin{aligned} l \left(R_w C' - \frac{RC_w}{W^2} \right) &= 0 \\ W^2 R_w C' &= RC_w \\ W &= \sqrt{\frac{RC_w}{R_w C'}} \end{aligned}$$

Vi kan nå sette inn for N og W og får

$$\begin{aligned}
t_{pd_{ieder}} &= NRC' + l \left(R_w C' W + \frac{RC_w}{W} \right) + l^2 \frac{R_w C_w}{2N} \\
&= lRC' \sqrt{\frac{R_w C_w}{2RC'}} + \\
&\quad l \left(R_w C' \sqrt{\frac{RC_w}{R_w C'}} + \frac{RC_w}{\sqrt{\frac{RC_w}{R_w C'}}} \right) + \\
&\quad l^2 \frac{R_w C_w}{2l \sqrt{\frac{R_w C_w}{2RC'}}} \\
&= l \sqrt{2R_w C_w RC'} + l \left(\sqrt{R_w C_w RC'} + \sqrt{R_w C_w RC'} \right) + \\
&\quad \frac{l}{2} \sqrt{2R_w C_w RC'} \\
&= l \left(\sqrt{2} + 2 + \frac{\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'} \\
&= l \left(2 + \frac{3\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'}
\end{aligned}$$

som gir forsinkelse per lengdeenhett

$$\frac{t_{pd_{ieder}}}{l} = \left(2 + \frac{3\sqrt{2}}{2} \right) \sqrt{R_w C_w RC'}$$

Resultatene er avhengig av at repeaterne eller inverterne har nMOS transistorer med bredde

$$W = \sqrt{\frac{RC_w}{R_w C'}}$$

Ved bruk av invertere som repeaterer må vi bruke et antall invertere som tilsammen resulterer i at signalet ikke blir invertert. Dette betyr at vi må ha et like antall invertere. Vi kan bruke doble invertere som repeaterer for å unngå polaritetsproblemer, men dette vil resultere i større tidsforsinkelse. Vi kan dimensjonere inverterne forskjellig dersom vi velger en dobbel inverter repeater. Den første inverteren kan være liten, dvs. liten bredde på transistorene, mens den andre inverteren må være noe større slik at den kan drive lasten som er knyttet til neste segment.

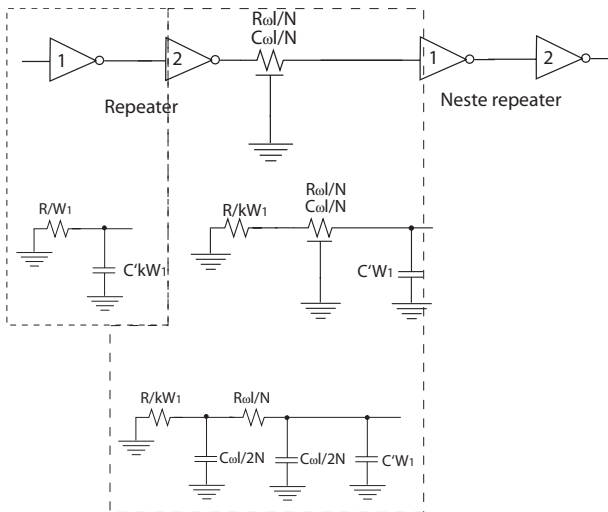


Fig. 8. Elmore forsinkelsesmodell.

Vi kan bruke Elmore forsinkelsesmodell ved å modellere segmentet som vist i Fig. 8. Vi får da

$$\begin{aligned}
t_{pd_{segment}} &= kRC' + \frac{R}{kW_1} C_w \frac{l}{2N} + \\
&\quad \left(\frac{R}{kW_1} + R_w \frac{l}{N} \right) \left(C_w \frac{l}{2N} + C' W_1 \right) \\
&= kRC' + \frac{R}{kW_1} \left(C_w \frac{l}{N} + C' W_1 \right) + \\
&\quad R_w \frac{l}{N} \left(C_w \frac{l}{2N} + C' W_1 \right)
\end{aligned}$$

Total forsinkelse blir da

$$\begin{aligned}
t_{pd_{ieder}} &= N \cdot t_{pd_{segment}} \\
&= NkRC' + \frac{NRC'}{k} + l \left(R_w C' W_1 + \frac{RC_w}{kW_1} \right) + l^2 \frac{R_w C_w}{2N} \\
&= NRC' \left(k + \frac{1}{k} \right) + l \left(R_w C' W_1 + \frac{RC_w}{kW_1} \right) + l^2 \frac{R_w C_w}{2N}
\end{aligned}$$

Vi kan nå derivere mhp N , W_1 og k

$$\frac{\delta t_{pd_{ieder}}}{\delta N} = RC' \left(k + \frac{1}{k} \right) - l^2 \frac{R_w C_w}{2N^2}$$

$$\frac{\delta t_{pd_{ieder}}}{\delta W_1} = l \left(R_w C' - \frac{RC_w}{kW_1^2} \right)$$

$$\begin{aligned}
\frac{\delta t_{pd_{ieder}}}{\delta k} &= NRC' \left(1 + \frac{1}{k^2} \right) + l \frac{RC_w}{k^2 W_1} \\
&= NRC' + \frac{1}{k^2} \left(NRC' + l \frac{RC_w}{W_1} \right)
\end{aligned}$$

Vi setter de deriverte lik 0

$$RC' \left(k + \frac{1}{k} \right) - l^2 \frac{R_w C_w}{2N^2} = 0$$

$$N = l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}}$$

$$l \left(R_w C' - \frac{RC_w}{kW_1^2} \right) = 0$$

$$kW_1^2 R_w C' = RC_w$$

$$W_1 = \sqrt{\frac{RC_w}{kR_w C'}}$$

$$= \frac{W}{\sqrt{k}}$$

$$W_2 = kW_1 = \sqrt{k}W$$

$$NRC' + \frac{1}{k^2} \left(NRC' + l \frac{RC_w}{W_1} \right) = 0$$

$$\frac{1}{k^2} = \frac{NRC'}{NRC' + l \frac{RC_w}{W_1}}$$

$$k^2 = 1 + \frac{lC_w}{NW_1 C'}$$

$$k = \sqrt{1 + \frac{lC_w}{NW_1 C'}}$$

Dette gir

$$\begin{aligned}
k &= \sqrt{1 + \frac{lC_w}{NW_1 C'}} \\
&= \sqrt{1 + \frac{lC_w}{l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k} \right)}} \sqrt{\frac{RC_w}{kR_w C'}} C'}}
\end{aligned}$$

$$\begin{aligned}
&= \sqrt{1 + \frac{C_w}{\sqrt{\frac{C_w^2}{(C')^2 2(k + \frac{1}{k})k} C'}}} \\
&= \sqrt{1 + \frac{1}{\sqrt{\frac{1}{2k^2 + 2}}}} \\
&= \sqrt{1 + \sqrt{2(k^2 + 1)}} \\
k^2 &= 1 + \sqrt{2(k^2 + 1)} \\
(k^2 - 1)^2 &= 2(k^2 + 1) \\
k^4 - 2k^2 + 1 &= 2k^2 + 2 \\
k^4 - 4k^2 - 1 &= 0 \\
k &= \sqrt{2 + \sqrt{5}} \\
&= 2.06
\end{aligned}$$

Vi kan beregne tidsforsinkelse per lengdeenhet

$$\begin{aligned}
t_{pd_{leder}} &= NRC' \left(k + \frac{1}{k}\right) + l \left(R_w C' W_1 + \frac{RC_w}{kW_1}\right) + l^2 \frac{R_w C_w}{2N} \\
&= l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k}\right)}} RC' \left(k + \frac{1}{k}\right) \\
&+ l \left(R_w C' \sqrt{\frac{RC_w}{kR_w C'}} + \frac{RC_w}{k \sqrt{\frac{RC_w}{kR_w C'}}}\right) \\
&+ l^2 \frac{R_w C_w}{2l \sqrt{\frac{R_w C_w}{2RC' \left(k + \frac{1}{k}\right)}}} \\
&= l \sqrt{\frac{R_w C_w RC' \left(k + \frac{1}{k}\right)}{2}} \\
&+ l \left(\sqrt{\frac{R_w C_w RC'}{k}} + \sqrt{\frac{R_w C_w RC'}{k}}\right) \\
&+ l \sqrt{\frac{R_w C_w RC' \left(k + \frac{1}{k}\right)}{2}} \\
&= l \left(\sqrt{R_w C_w RC' \left(k + \frac{1}{k}\right)} + 2\sqrt{\frac{R_w C_w RC'}{k}}\right) \\
\frac{t_{pd_{leder}}}{l} &= \left(\sqrt{k + \frac{1}{k}} + \frac{2}{\sqrt{k}}\right) \sqrt{R_w C_w RC'}
\end{aligned}$$

Dette betyr at løsningen med doble inverterte som repeater er marginalt tregere. Det trengs færre repeaterer fordi optimal verdi på N går ned med doble inverterte. Dersom man tar med diffusjonskapasitanser vil repeaterne bli noe tregere, slik at det kan være lønnsomt å redusere noe på antallet repeaterer. Det er vanlig å finne en optimal løsning ved å simulere. Ved å sette inn repeaterer vil linjen garantert bli unidireksjonal med signalretning bestemt av repeaterne.

Et alternativ til repeaterer er *boostere* som plasseres i parallel som vist i Fig. 9. Boosteren registrerer transisjoner og hjelper til med transisjonen ved å utnytte *hysterese* og *positiv tilbakekobling* som tillater en bidireksjonal signalføring på bekostning av reduserte støymarginer.

Gaten som er tegnet som en NAND port med en C er et såkalt *Muller C-element* som har en innebygd hysterese når begge inngangene, A og B, er like. Det forutsettes at nMOS og pMOS

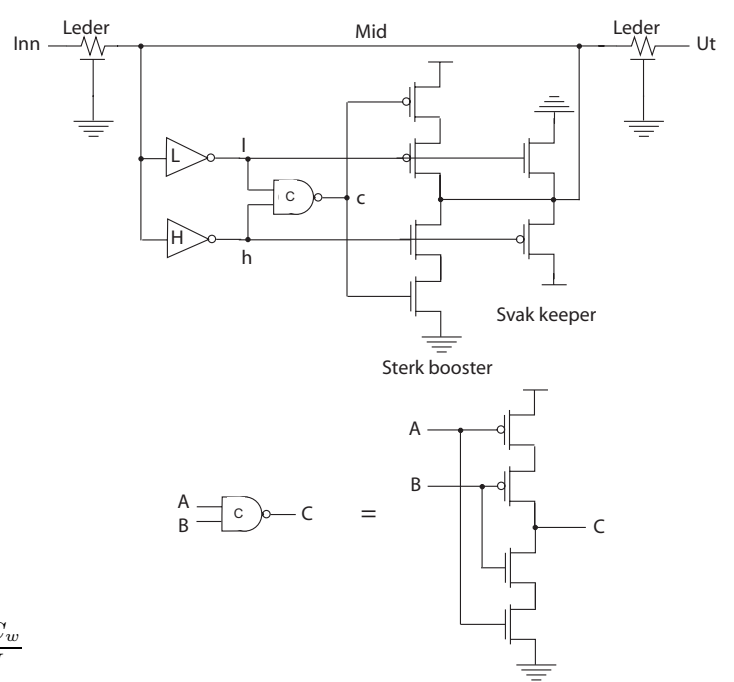


Fig. 9. Signal booster. (FIG4.54 a og b)

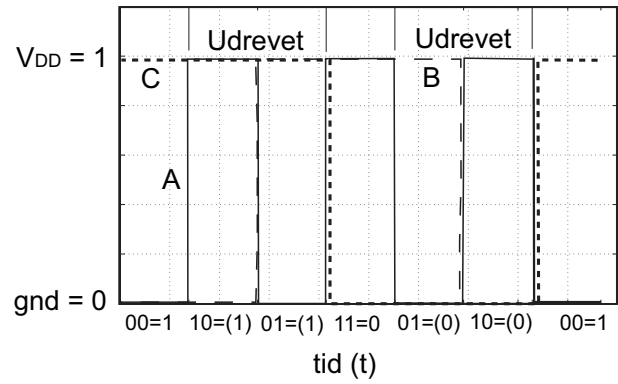


Fig. 10. Muller C.

transistorene er like sterke slik at utgangen C ikke drives mot railene når inngangene er forskjellige som vist i Fig. 10.

Vi kan se på forløpet for en positiv transisjon på ledere:

1. De to invertene som er koblet med inngang til ledere er henholdsvis $L = low - skew$ og $H = high - skew$ som vil drive nodene l og h . De to invertene vil ha forskjellig terskel slik at de trigger på hver sin transisjon. Dersom vi antar at inngangssignalet Inn er 0 og skal endres til 1 vil nodene l og h være 1 i utgangspunktet. Noden c vil da være drevet til 0, men den sterke booster vil ikke være drevet fordi den vil ha ulike innganger $l = h \neq c$. Den svake keeperen vil sørge for å holde signalverdien på ledere til 0 fordi $l = 1$.
2. Når Inn starter en positiv transisjon vil high-skew invertieren, merket H , starte med å trekke h ned mot 0 før low-skew invertieren, merket L begynner å trekke l ned mot 0. Legg merke til at i starten vil utgangen på skew-invertene stige litt, dette skyldes en kapasitiv kobling, C_{gd} , mellom inngangen INN og utgangen på skew invertene.
3. Inngangen fortsetter å stige og nodene h og l vil trekkes videre ned mot 0. På grunn av ulike skew vil h trekkes ned

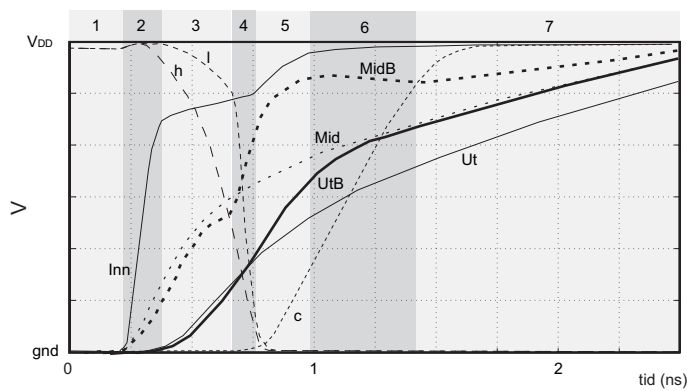


Fig. 11. Signal booster.

tidligere enn l slik at inngangene til Muller C-elementet ikke er like og dermed vil noden c ligge stabilt på 0, men ikke være sterkt drevet. Booster kretsen vil ikke ha noen signifikant betydning for lederens respons, dvs. Mid og $MidB$ (med booster), og Ut og UtB (med booster) vil ikke være signifikant forskjellige. Inngangstransisjonen blir noe dempet fordi den svake keeperen vil motvirke transisjonen. Kretsen har nå negativ tilbakekobling.

4. Nodene l og h har nå blitt trukket så lavt at at den svake keeperen vil bidra med å trekke lederen $MidB$ opp mot 1 og samtidig vil da keeperen ikke motvirke inngangstransisjonen.

5. Nodene l og h trekkes ned til 0 og pga hysterese i Muller C-elementet vil ikke noden c trekkes mot 1 før nodene l og h er svært nær 0. Når l , h og c er nær 0 vil utgangen på den svake keeperen presse mot 1. Dette vil resultere at inngangen, $MidB$ og utgangen trekkes raskere opp mot 1. Vi har nå fått en krets med positiv tilbakekobling.

6. Nodene l og h er 0. c drives mot 1 og vil dermed redusere drivegenskapene til den sterke booster. Utgangen trekkes opp mot 1 gjennom den svake keeperen.

7. Utgangen trekkes langsomt opp til 1 drevet av den svake keeperen og inngangen.

A. Notater

Interkonnekt bidrar til en mer komplisert beregning av logisk effort fordi ledere har en fast kapasitans. En leders *forgreiningseffort* (branching effort) med kapasitans C_{leder} som skal drive en portlast lik C_{gate} er $(C_{gate} + C_{leder}) / C_{gate}$. Denne forgreiningsefforten er ikke konstant, men avhenger av størrelsen av porten som skal drives. Den enkle regelen som tilsier at kretser er raskest når alle trinn (stage) har samme effort vil ikke lenger være gyldig når vi tar hensyn til kapasitans i selve lederen. Dersom lederen er meget kort kan vi se bort fra kapasitansen i lederen og bruke den enkle modellen. Dersom lederen er meget lang kan vi se bort fra kapasitansen i porten som skal drives og modellen blir tilsvarende enkel. Når lasten i porten som skal drives og lasten i lederen er omtrent like store kan vi ikke bruke enkle modeller for å beregne optimal effort.

Alle kretser har interkonnekt, men vi kan ignorere lasten som lederen representerer dersom lederen er kort, dvs. $C_{leder} \ll C_{gate}$. Alternativt kan vi beregne en gjennomsnittsverdi for forholdet mellom kapasitans i lederen og parasittisk kapasitans i diffusjon og legge dette til som et ekstra bidra til parasittisk kapasitans når parasittisk tidsforsinkelse skal beregnes. For porter som ligger tett kan vi anta at optimal effort i et trinn (stage) ρ er litt større enn 4.

I motsatt tilfelle når $C_{leder} \gg C_{gate}$ kan vi se bort ifra porten som skal drives. Vi kan se på lederen som to seksjoner, den første seksjonen består av en driver som skal drive en last som er representerer lasten i lederen, og den andre seksjonen der inngangen er lederen som skal drive en port. En lang leder drives som regel av en inverter med effort mellom 8 og 12 istedet for 4. Mottakeren, dvs. porten som skal drives, dimensjoneres ut ifra praktiske betraktninger. Store mottakere er raske, men på bekostning av areal og effektforbruk.

Den mest ufordrende situasjonen er når $C_{leder} \approx C_{gate}$. Dette vil være en aktuell situasjon for mellomlange ledere som introduserer forgreiningseffort som er avhengig av porter som skal drives. Det er deror vanlig å beholde en trinn (stage) effort lik 4. Simulering kan brukes for å dimensjonere kretser optimalt.

A. Notater

Vi vet at kapazitiv crosstalk er proporsjonal med forholdet mellom koblingskapasitans og den totale kapasitansen, dvs.

$$\Delta V_{victim} = \left(\frac{C_{adj}}{C_{gnd} + C_{adj}} \right) \left(\frac{1}{1+k} \right) \Delta V_{aggressor},$$

der

$$k = \frac{\tau_{aggressor}}{\tau_{victim}} = \frac{R_{aggressor} (C_{gnd-a} + C_{adj})}{R_{aggressor} (C_{gnd-v} + C_{adj})},$$

der C_{gnd-a} og C_{gnd-v} er henholdsvis kapasitans for aggressor- og victim til jord. For ledere i moderne prosesser med et forhold mellom total lastkapasitans over lederkapasitans ($t/w = (C_{gnd} + C_{adj})/C_{adj}$) som er 2 eller større vil koblingskapasitansen utgjøre to tredjedeler eller mer av den totale lasten og crosstalk kan generere mye støy og bidra til store dataavhengige spenningsvariasjoner. Beskyttelse av ledere eller økning i bredde eller avstand mellom ledere reduserer crosstalk på bekostning av økt areal.

Det finnes tre alternative metoder for å redusere crosstalk:

1. *Staggered repeaters*. Hvert segment av en leder påvirkes av en fallende og stigende transisjon på naboledere slik at netto effekten blir liten.

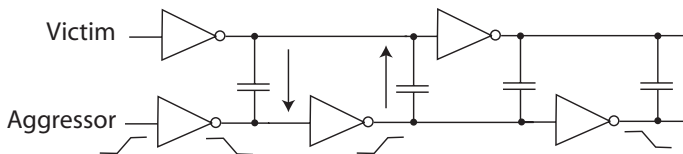


Fig. 12. Crosstalk kontroll. (FIG456a)

Staggered repeaters er vist i Fig. 12.

2. *Ladningskompensasjon*.

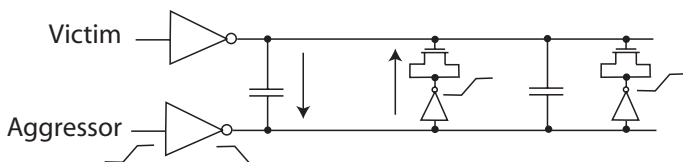


Fig. 13. Crosstalk kontroll. (FIG456b)

3. *Twisted differensiell signalering*.

Twisted differensiell signalering er vist i Fig. 14.

A. *Notater*

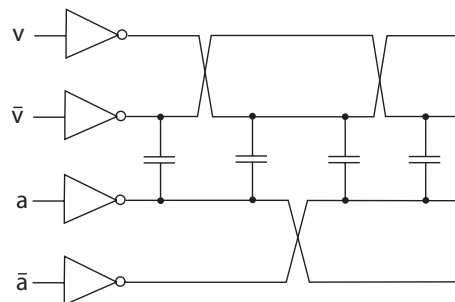


Fig. 14. Crosstalk kontroll. (FIG456c).

VIII. LAV-SVING SIGNALERING (Kapittel 4.6.7 side 229 - 231)

* Passtransistorer- og differensiell CMOS logikk. (INF3400 Del 12 side 6.)

Lange ledere vil resultere i stor tidsforsinkelse pga RC-forsinkelse. Effektforbruket vil også være betydelig fordi store lastkapasitanser skal lades opp og ut i forbindelse med transisjoner. Dersom vi kan redusere svinget vil ytelsen øke fordi det da ikke er behov for ett fullt sving. Dersom driveren skrur av før utgangen har gjennomført en full transisjon kan effektforbruket også reduseres. Effektforbruket for lav-sving signalering er avhengig av både driverens spenning V_{drive} og det faktiske spenningsvinget V_{sving} . Hver gang lederen lades opp eller ut, dvs. en transisjon, vil ladningen som forbrukes være gitt av $Q = CV_{sving}$. Dersom den effektive frekvensen er αf , som tilsvarer en periode $T = 1/(\alpha f)$, vil gjennomsnittsstrømmen være

$$\begin{aligned} I_{avg} &= \frac{1}{T} \int_0^T i_{drive} (L_{tegn} + X_L - 2L_{DT}) \\ &= \frac{1}{T} \int_0^T C \frac{\delta V_{drive}}{\delta t} \\ &= \frac{1}{T} CV_{sving} \\ &= \alpha f CV_{sving}, \end{aligned}$$

der V_{sving} er utgangen på driverkretsen og lik svinget på lederen, mens V_{drive} er spenningsforsyningen til driverkretsen. Dynamisk effektforbruk blir da

$$\begin{aligned} P_{dynamisk} &= I_{avg} V_{drive} \\ &= \alpha f CV_{sving} V_{drive} \end{aligned}$$

Dersom signalet skal svinge fra rail til rail vil $V_{drive} = V_{sving} = V_{DD}$ slik at effektforbruket er proporsjonalt med V_{DD}^2 . Dersom V_{sving} er mindre eller lik V_{drive} vil både effektforbruket og tidsforsinkelsen gå ned. Ved å redusere begge spenningsene kan effektforbruket reduseres kraftig.

En redusert spenningsforsyning for driverkretsene vil ofte kreve en ekstra forsyning i tillegg til V_{DD} og vil kreve at driveren designes slik at hastigheten, som er proporsjonal med forsyningsspenningen, ikke reduseres. Driveren må være kraftig nok til sørge for godt nok sving i enden av en leder.

I Fig. 15 er det vist en teknikk for lav-sving signalering. Lav-sving driveren, som vist i Fig. 16 har differensiell utgang. Utgangen på NAND portene og inverterne bestemmer om utgangen d skal drives opp eller ned. Opptrekket av d går gjennom en nMOS transistor istedet for en pMOS transistor pga

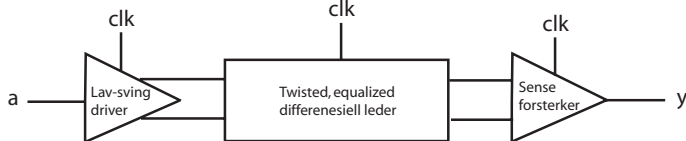


Fig. 15. Synkron lav-sving teknikk. (FIG4.57a)

I enden av lederen brukes en RS latch med en sense-amplifier med differensiell inngang, som vist i Fig. 18, som forsterker spenningsforskjell på f og \bar{f} . Forsterkeren har et pMOS inngangstrinn fordi lav-sving signalet har en DC spenning som ligger nær $0V$ (gnd). Lav-sving signaleringsystemer kan operere med en forsyningsspenning $V_{DD} = 1.8V$, $V_{drive} = 0.56V$ og $V_{swing} \geq 100mV$ i en $180nm$ prosess, med en klokkefrekvens på $1GHz$ for en leder med lengde $10mm$.

A. Notater

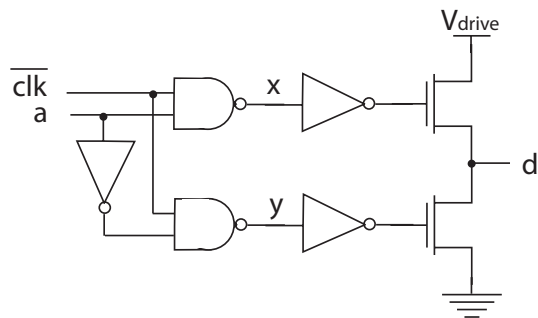


Fig. 16. Lav-sving driver. (FIG4.57b)

drivegenskapene i nMOS transistoren. Husk at bodyeffekten blir liten i dette tilfellet fordi spenningsvinget er lite. Nodene $x = \overline{clk} \cdot a = clk + \bar{a}$ og $y = \overline{clk} \cdot \bar{a} = clk + a$ styrer utgangstrinnet på driveren via to invertere. Opptrekket er på, d trekkes opp til V_{drive} , når $clk = 0$ og $a = 1$. Nedtrekket er på når $clk = 0$ og $a = 0$. Når $clk = 1$ vil ikke driveren levere strøm, slik at lederen vil være udrevet i halve perioden. En driver med differensiell utgang består av to drivere som vist i Fig. 16, der den andre driverdelen har inngang \bar{a} .

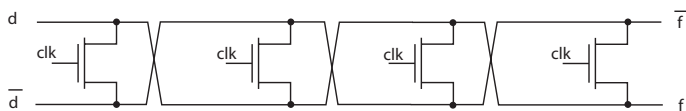


Fig. 17. Twisted-pair. (FIG4.57c)

Selve lederen, som vist i Fig. 17 er organisert som twisted-pair, men der de differensielle signalene blir kortsluttet når $clk = 1$. Dette vil effektivt kortslutte den differensielle inngangen til sense forsterkeren.

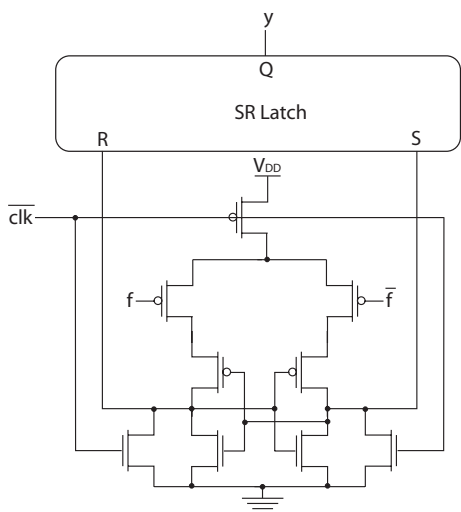


Fig. 18. RS latch med sense-amplifier. (FIG4.57d)

Responser til integrerte kretser kan variere som følge av omgivelser og fabrikasjon. Det er vanlig å ta hensyn til noen viktige variasjonskilder ved design:

1. Forsyningsspenning.
2. Temperatur.
3. Prosessvariasjoner.

Det er viktig å designe kretser slik at de gir korrekt respons over et intervall av ekstremverdier for variasjonskildene. Dette gir et robust og pålitelig design som vil hindre et system i å feile katastrofalt.

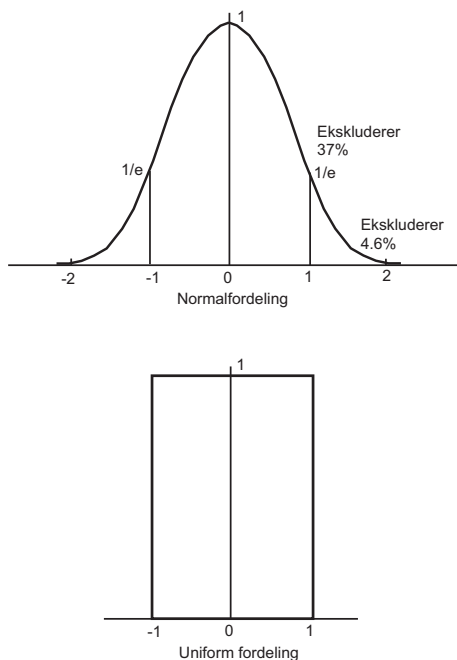


Fig. 19. Uniform og normal fordeling. (FIG4.58)

Variasjoner kan modelleres med uniform eller normal (Gauss) statistiske fordelinger som vist i Fig. 19. For uniform fordeling er det vanlig å definere feks. variasjon i forsyningsspenning $\pm 10\%V_{DD}$ som vil gi et meget robust design. Det er da viktig at hele kretsen fungerer korrekt med den spesifiserte variasjonen. Normalfordeling spesifiseres med et standardavvik ρ . Prosess variasjoner er vanligvis modellert som en normalfordeling. Dersom kretseksemplarer som ligger utenfor 3ρ skal forkastes, tilsvarer dette 0.26% av eksemplarene. En grense på 2ρ tilsvarer 4.6%. Grensene 2ρ og 3ρ er vanlig å bruke.

A. Variasjon i forsyningsspenning

Når man designer en krets bruker man normalt en ideell forsyningsspenning som er tilpasset den prosessen man skal realisere designet i. Det er imidlertid mange årsaker til at forsyningsspenningen kan variere globalt, gjennom mismatch i spenningsregulatorer, og lokalt gjennom spenningsstap i ledere. Det er fornuftig å designe kretsene slik at logikken fungerer for en spesifikk klokkefrekvens når forsyningsspenningen varierer med 10%. Hastigheten er proporsjonal med forsyningsspenningen slik at det er vanlig å designe med en god margin.

B. Variasjon i temperatur

Effektforbruk vil resultere i temperaturstigning i en krets. Når temperaturen øker vil transistorstrømmene minke. Den faktiske temperaturen lokalt i en integrert krets er avhengig av både omgivelsestemperatur og lokal påvirkning pga effektforbruk. Det er vanlig å spesifisere temperaturgrenser for omgivelsene som kretsene skal kunne fungere i. For kommersielle produkter er vanlige grenser $0^{\circ}C$ og $70^{\circ}C$, for industrielle produkter er grensene $-40^{\circ}C$ og $85^{\circ}C$ og for militære produkter er grensene $-55^{\circ}C$ og $125^{\circ}C$.

C. Prosessvariasjoner

Transistorer og ledere i en integrert krets vil bli fremstilt ved prosessering med en viss variasjon rundt nominelle verdier. Dette gjelder særlig selve størrelsene eller geometriene og dopekonsentrasjoner. Disse variasjonene kan oppstå innenfor en enkelt integrert krets og på en wafer.

De mest kritiske variasjonene er kanallengde L , tykkelsen på tynnoxid t_{ox} og terskelspenning V_t . Terskelspenningene varierer blant annet på grunn av variasjon i dopekonsentrasjoner. For interkonnekt er de mest kritiske variasjonene lederbredde og avstand mellom ledere.

D. Notater

I design fasen av utlegg tegnes transistorene med bredde W_{tegned} og lengde L_{tegned} . De faktiske størrelsene ved produksjon kan variere på grunn av prosessvariasjoner med faktorene X_W og X_L for bredde og lengde. En av grunnene til at transistorenes faktiske lengde blir forskjellig fra tegnet eller nominelle lengde er *lateral diffusjon* L_D inn under gaten. Dette betyr at transistorene blir kortere enn nominell lengde. På tilsvarende måte vil diffusjon strekke seg inn under gaten og redusere transistorenes effektive bredde W_D . Vi kan modellere transistorenes effektive lengde og bredde

$$\begin{aligned} L_{eff} &= L_{tegned} + X_L - 2L_D \\ W_{eff} &= W_{tegned} + X_W - 2W_D. \end{aligned}$$

For små transistorer kan effektiv lengde og bredde være betydelig forskjellig fra tegnede bredder og lengder. Transistorenes terskelspenning vil også variere med effektiv størrelse. Det er fornuftig å bruke identiske størrelser (tegnede) for transistorer som inngår i design med stor krav til presisjon. I moderne prosesser kan transistorlengde også variere med orientering på en brikke.

A. Notater

Transistorkarakteristikker er påvirket av temperatur. Mobiliteten til ladningsbærere avtar når temperaturen stiger, dette kan modelleres som

$$\mu(T) = \mu(T_r) \left(\frac{T}{T_r} \right)^{-k_\mu},$$

der T er temperatur, T_r er romtemperatur ($300^\circ K$) og k_μ er en parameter i intervallet 1.2 - 2.0.

Terskelspenningen vil variere tilnærmet lineært med temperaturen

$$V_i(T) = V_i(T_r) - k_{vt}(T - T_r),$$

der k_{vt} typisk ligger i området 0.5 og 3.0 mV/K.

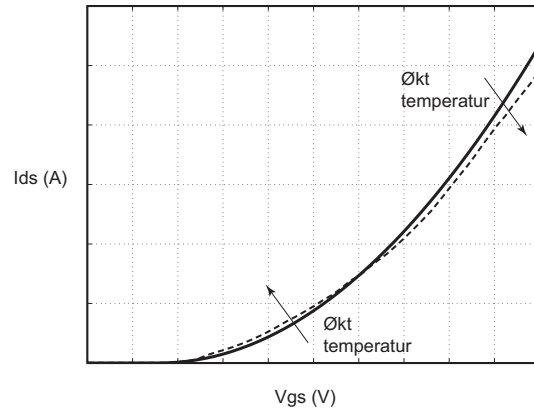


Fig. 20. Transistor karakteristikk varierer med temperatur. (FIG2.21)

Effekten av endring i temperatur er vist i Fig.20, der maksimum (PÅ) strømmen reduseres med økt temperatur og minimum (AV) strømmen øker. Generelt vil ytelsen reduseres ved økt temperatur. Ytelsen kan økes ved å anvende kjøling.

A. Notater

Det er vanlig å samle alle variasjoner og simulere med tre ulike parametersett som representerer *designhjørner*

- *Typisk*, eller nominell. Her brukes nominelle eller typiske parameterverdier.
- *Rask*. Parameterverdier som gir raskest mulig krets. Liten transistorlengde, stor bredde, lav terskelspenning ol.
- *Treg*. Omvendt av rask.

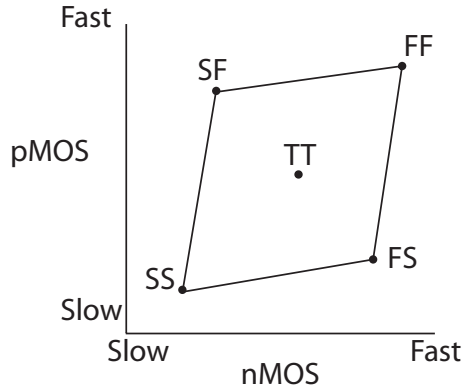


Fig. 21. *Designhjørner.* (FIG4.59)

Design- eller proseshjørner defineres av parameterverdier for transistorer og interkonnekt. Det kan ofte være lurt å simulere for rask nMOS og treg pMOS eller omvendt for å se på responsen for ulike situasjoner som vist i Fig. 21, der *T* stå for nominell eller typisk, *F* for rask (fast) og *S* står for treg (slow).

nMOS	pMOS	Leder	V_{DD}	Temp.	Anvendelse
T	T	T	S	S	Timing (spesifikasjon)
					(typisk)
S	S	S	S	S	Timing (spesifikasjon)
					(konservativ)
F	F	F	F	F	DC effektforbruk
					Timing og støy
F	F	F	F	S	Lekasje og støy
S	S	F	S	S	Treg logikk og raske ledere
F	F	S	F	F	Rask logikk og trege ledere
S	F	T	F	F	Pseudo-nMOS, støy-margin og pMOS mot nMOS
F	S	T	F	F	nMOS mot pMOS

TABLE II
Designhjørner.

Typiske simuleringsoppsett er vist i Tabell II. Det er viktig å simulere med alle relevante hjørner for å verifisere at et design er robust. Det er viktig å kjenne til de enkelte parameterverdiene for hjørnesimuleringer. For forsyningsspenning V_{DD} vil *F* typisk bety 10% over nominell verdi og 10% under representerer *S*. For temperatur kan *T* bety $70^{\circ}C$, *F* $0^{\circ}C$ og *S* $125^{\circ}C$

Som regel ønsker man at to identiske transistorer, dvs. tegnet identiske, skal ha like karakteristikk. Dette gjelder spesielt inngangstrinn på sense-amplifiser. Andre kritiske kretselementer er nettverk som distribuerer klokkesignaler fordi det er kritisk at det ikke er for stor variasjon i timing av klokkeflanker. I praksis modellerer man ikke to identiske nærliggende transistorer som henholdsvis rask og treg. Dette vil gi et urealistisk bilde og gjøre det nesten umulig å designe funksjonelle kretser. På den andre siden er det viktig å være klar over at to transistorer som er tegnet like ikke vil være helt like elektrisk. Det er viktig å få en oversikt over den realistiske spredningen eller *mismatch* som gjelder for den aktuelle prosess. Det er forskjellige grunner til at relevante data om matching ikke foreligger. Det er ofte slik at fabrikanten ikke ønsker å spre slik informasjon av hensyn til andre aktører i markedet.

Mismatch forekommer både i form av systematisk variasjon og usikkerhet eller tilfeldig variasjon. Systematisk variasjon har utgangspunkt i et kvantitativt forhold til en kilde. Eksempler på systematiske variasjoner er variasjon i doping ved fabrikasjon av kretser. Tilfeldige variasjoner forekommer, men uten at man kan finne kilden på en fornuftig måte. Systematiske variasjoner kan modelleres og i noen grad kompenseres, mens tilfeldige variasjoner må man ta høyde for ved design.

Variasjoner i terskelspenning for transistorer og transistorstrøm modellerer man med skalleringsfaktoren $1/\sqrt{WL}$. Transistorparametre er avhengig av størrelse og orientering. Det er derfor fornuftig å designe identiske transistorer som skal ligge i nærheten av hverandre for å oppnå maksimal matching. Lange transistorer har mindre variasjon eller mismatch enn korte transistorer. Et annet forhold som påvirker matching er tettheten av polysilisium som ligger i nærheten av transistorene. Der matching er spesielt kritisk, som for eksempel for klokke drivere, kan man legge identiske mønstre av polysilisium i nærheten av transistorene. Variasjon i terskelspenning skyldes en statistisk fordelt variasjon av dopeatomer i kanalen. Når transistorene blir mindre vil det være færre dopeatomer i kanalen og den relative matchingen vil da forverres.

Problemer med matching kan karakteriseres som systematiske, tilfeldige, drift eller jitter. Systematisk mismatch kan modelleres, simuleres og kompenseres i design fasen. Tilfeldige variasjoner skyldes forhold som ikke kan detekteres eller er for kostbart å modellere. Variasjoner som skyldes drift, spesielt endring i temperatur, er langsomme i forhold til klokkefrekvensen i et system. Drift kan modelleres og kompenseres. Jitter skyldes variasjoner i spenningsforyningen og er den alvorligste kilden til mismatch. Jitter er spenningsendringer som kan komme like raskt eller raskere enn systemets klokkefrekvens og kan derfor ikke fjernes ved å bruke tilbakekoblinger.

A. Notater

Et hyppig forekommende design problem er synkronisering av klokkesignaler. Det er avgjørende at designeren kan konstruere systemer slik at tidsforsinkelser blir like eller er riktig i forhold til timingkrav i kretsene. Den beste metoden for å få mest mulig lik tidsforsinkelse er å duplisere delkretser.

Det å konstruere pålitelige kretser involverer kunnskaper om potensielle situasjoner som kan forårsake feil. En rekke feil kan medføre permanente feil

- *Elektromigrasjon.*
- *Self-heating.*
- *Hot carriers.*
- *Latchup.*
- *Overspenningsfeil.*

Dette er såkalte *harde feil* som vil sørge for at systemet får permanente alvorlige feil og mister data.

Det er ulike begreper som brukes for å beskrive pålitelighet. *Gjennomsnittelig tid mellom feil* er det vanligste begrepet. I tillegg brukes antall feil over tid, dvs. antall feil i løpet av 1000 timer per million transistorer. For eksempel vil et system med en integrert krets som har 1000 feil hver 10^6 time feile en gang hvert 114 år. Et system med 100 integrerte kretser vil få en feil hvert 1.14 år (420 dager).

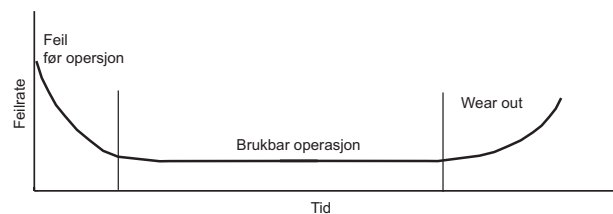


Fig. 22. *Badekarkurven for pålitelighet. (FIG4.61)*

De fleste systemer gjennomgår den såkalte badekarkurven som er vist i Fig. 22. Før et system er i operativ drift detekteres komponenter som ikke fungerer. De fungerende komponentene vil deretter inngå i operative systemer i systemets naturlige levetid der feilraten er lav. Etterhvert som systemets levealder blir høy vil hyppigheten av feil øke, dette kalles *wear out*. Man kan estimere levealder ved å foreta tester der man stresser systemet (*burn in*), for eksempel med høy temperatur, for å simulere aldringsprosessen for komponenten eller systemet.

A. Notater

Elektromigrasjon skaper utarming av metalledere. Høy strømtetthet fører til såkalt elektronvind som forårsaker at metallatomene migrerer over tid og kan bidra til at lederen ødelegges. Problemet er spesielt stort for ledere av aluminium og vesentlig mindre for kobber. Elektromigrasjon er avhengig av strømtetthet $J = I/wt$ og er vanligere i ledere som fører DC-signaler (strømmer) enn AC-signaler (strømmer). Gjennomsnittelig tid før feil (MTTF) er svært avhengig av temperatur og kan modelleres som

$$MTTF = \frac{e^{\frac{E_a}{kT}}}{J_{dc}^n},$$

der E_a er aktiveringsenergien som kan finnes eksperimentelt ved å teste systemet under stress ved høy temperatur, J_{dc} er maksimal elektromigrasjonstrøm og $n \approx 2$. J_{dc} er avhengig av materialer og prosessering, og ligger typisk i området $1 - 2mA/\mu m^2$ for aluminium ved $110^\circ C$ og $10mA/\mu m^2$ for kobber.

Elektromigrasjon er først og fremst et problem for unidireksjonale dc ledere på grunn av vedvarende og enrettet strøm.

A. Notater

For bidireksjonale ledere vil elektromigrasjon ikke representere et stort problem, men strømtettheten må likevel begrenses. Årsaken til dette er *varmeutvikling (self-heating)* som følge av effektforbruk i lederen. Stort effektforbruk vil heve temperaturen lokalt ved lederen og dermed øke motstanden og tidsforsinkelsen. Stor varmeutvikling i ledere kan forårsake eller styrke elektromigrasjonsproblemer i bidireksjonale ledere. Korre, men høye strømpulser kan smelte ledere. Varmeutvikling i ledere er avhengig av strømtetthet og modelleres som

$$I_{rms} = \sqrt{\frac{\int_0^T I(t)^2 dt}{T}}.$$

En vanlig regel for kontroll av pålitelighetsproblemer som følge av varmeutvikling i ledere er å holde $J_{rms} < 15mA/\mu m^2$ for bidireksjonal aluminiumsledere i silisium substrat.

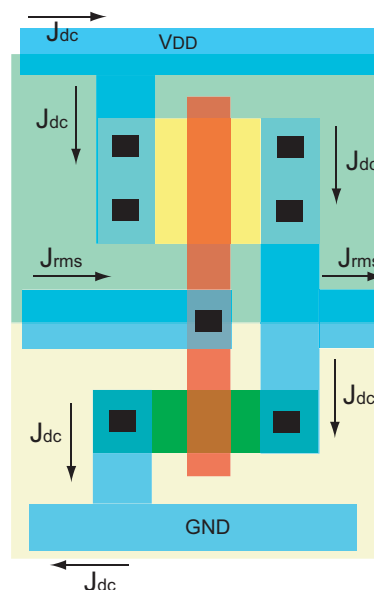


Fig. 23. Begrensinger for strømtetthet i en inverter.

Begrensning for strømtetthet på grunn av varmeutvikling og elektromigrasjon for en inverter er vist i FIG. 23.

A. Notater

Når transistorer skrur på kan noen ladningsbærerne, dvs. elektroner, med tilstrekkelig høy energi injiseres inn i gateoksidet og bli fanget der. Dette er såkalte *hot carriers* som vil forårsake skader i tynnoksidet og dermed endre transistorens strømmer egenskaper. Endringen vil være reduksjon i strøm for en nMOS transistor og økning i strøm for en pMOS transistor. Hot carriers forårsaker slitasje fordi nMOS transistorene blir for trege sammenlignet med pMOS transistorene. Dett er spesielt merkbart for NOR porter. Et beslektet problem er *negativ bias temperatur instabilitet (NBTI)* der hull fanges i tynnoksidet i pMOS transistorer og dermed reduserer strømmen i pMOS transistorene. Problemer med hot carriers er påvirket av feltstyrken i transistorkanalene og dermed direkte påvirket av drain-source spenninger V_{ds} .

A. Notater

* Bipolare transistorer. (FYS1210)

Ved introduksjonen av CMOS teknologien hadde kretsene en tendens til å danne forbindelser med liten motstand mellom V_{DD} og gnd som forårsaket en katastrofal kortslutning i kretsene. Fenomenet kalles *latchup* og er forårsaket av biaserte latente bipolare transistorer mellom substrat, brønn og diffusjon.

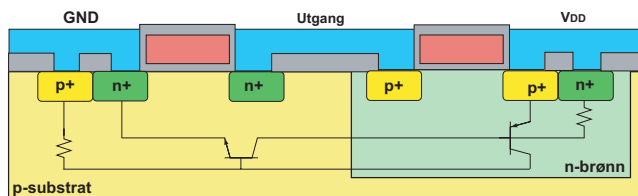


Fig. 24. Latchup.

Latchup i en inverter er vist i Fig. 24. Som vi ser er det mange mulige npn- og pnp overganger som kan resultere i bipolare transistorer dersom biaseringsbetingelsene for det er tilstede. Normalt vil substratspenningen $V_{sub} = GND(OV)$ og $V_{brønn} = V_{DD}$ være tilstrekkelig til å holde pnp- og npn overganger ubiasert. Det er ulike årsaker til at de bipolare transistorene blir biasert slik at de begynner å levere strøm og påvirke substrat- og brønnspenninger. Ulike støypulser i form av uønskede spenningsving kan oppstå, gjerne via eksterne innganger. Støypulsene kan biasere de bipolare transistorene og dermed påvirke svake spenningsreferanser.

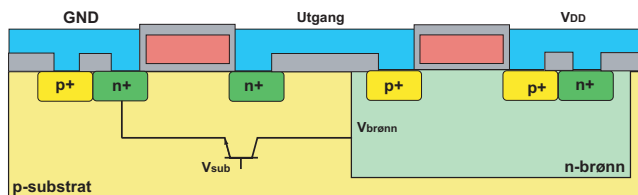


Fig. 25. Situasjon som kan fremprovosere latchup.

Et eksempel på en situasjon som kan resultere i latchup er vist i Fig. 25. Anta for eksempel at spenningen i substratet økes, for eksempel ved tilførsel av eksternt spennings ved oppstart. Vi kan anta at V_{sub} økes slik at npn transistoren mellom n^+ diffusjon, p-substrat og n-brønn skrur på. Normalt skal substratet ligge til GND, men det er fysisk mulig at spenningen lokalt kan stige dersom kretsen lokalt blir påvirket av uheldige spenningsendringer. npn transistoren vil levere strøm fra kollektor (n-brønn) til emitter (n^+) diffusjon.

Dersom spenningsforsyningen til brønnen er svak vil npn transistoren kunne trekke brønnspenningen $V_{brønn}$ noe ned fra V_{DD} . Vi kan modellere dette som en motstand i n-brønnen som vist i Fig. 26.

Vi kan nå tenke oss at det trekkes strøm fra n-brønnen slik at spenningen i brønnen $V_{brønn}$ faller i forhold V_{DD} slik at det genereres en pnp bipolar transistor med base i n-brønnen som vist i Fig. 27, kollektor i p^+ diffusjon (V_{DD}) og emitter i p-substratet. Den nye transistoren vil trekke strøm fra spenningsforsyningen (kollektor) og tilføre strøm til substratet og dermed bidra til at substratspenningen V_{sub} stiger ytterligere og bidrar til at npn transistoren med kollektor i n-brønnen trekker mer strøm, som igjen vil bidra til at $V_{brønn}$ faller ytterligere. Vi har

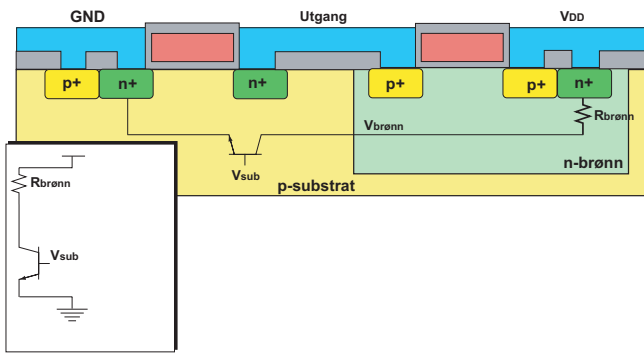


Fig. 26. Latchup.

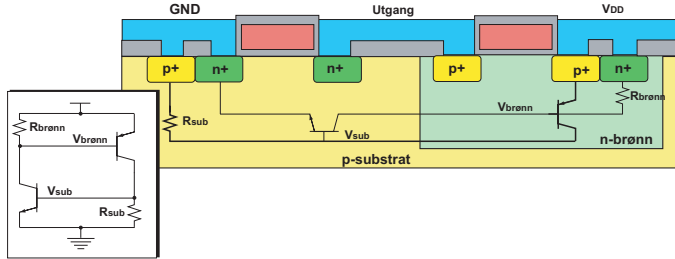


Fig. 27. Latchup.

nå fått to bipolare transistorer som virker sammen som en aktiv kortslutning mellom V_{DD} og GND .

Latchup kan lett unngås ved å minimere $R_{brønn}$ og R_{sub} slik at det er mindre spenningsfall i brønn og substrat mot henholdsvis V_{DD} og GND . Det er svært viktig at designeren lager god kontakt til brønn og substrat slik at spenningsreferansene er sterke. Det er en god strategi å plassere så mange substrat og brønnkontakter som arealet tillater. Følgende strategier bør følges for å unngå problemer med latchup:

- Alle brønner bør ha minst en brønnkontakt.
- Alle substrat- og brønner bør kobles direkte til passende referanser tilført i gode metalledere.
- Brønn- og substratkontakter bør plasseres for hver 5-10 transistor og med maksimalt $25 \mu\text{m}$ avstand. Som regel er det fornuftig å plassere så mange brønn- og substratkontakter som arealet tillater.
- nMOS transistorer bør plasseres så nær spenningsforsyningen GND som mulig, og tilsvarende pMOS transistorer så nær V_{DD} som mulig.

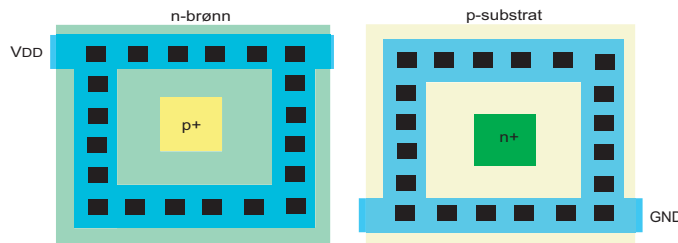


Fig. 28. .

I/O, dvs. inngangs- og/eller utgangspadder eller eksterne tilkoblinger, spiller en spesielt viktig rolle i latchup problemer.

Eksterne signaler har man liten kontroll over slik at det er fornuftig å beskytte disse padderne spesielt for å redusere risikoen for uønskede spenninger internt i den integrerte kretsen. Det er viktig å legge *beskyttelsesringer* (guard rings) rundt kontaktpunkter som er knyttet til kretser som er spesielt utsatt for latchup. Dette kan typisk være brønn- og substratkontakter i I/O padderne eller transistorer som ligger svært nær padderne som vist i Fig.28.

A. Notater

XIX. INDEKS

Avstand mellom ledere	1
Booster	5
Bredde på ledere	1
Designhjørner	11
Elektromigrasjon	13
Forgreiningseffort	6
Gjennomsnittelig tid mellom feil	12
Harde feil	12
Hysteresis	5
Latchup	14
Lateral diffusjon	10
Ladningskompensasjon	7
Mismatch	12
Muller C-element	5
Negativ bias temperatur instabilitet (NBTI)	14
Pitch	1
Positiv tilbakekobling	5
Repeater	3
Shielding	2
Staggered repeaters	7
Twisted differensiell signalering	7
Varmeutvikling (self-heating)	13
Wear out	12

REFERENCES

- [1] Neil H.E. Harris og David Harris "CMOS VLSI DESIGN, A circuit and system perspective" tredje utgave 2005, ISBN: 0-321-26977-2, Addison Wesley,
- [2] Yngvar Berg "INF3400 Del:12 Passtransistorer- og differensiell CMOS logikk"