

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i INF3400 — Digital mikroelektronikk

Eksamensdag: 10. juni 2005

Oppgavesettet er på 3 sider.

Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før
du begynner å besvare spørsmålene.

Oppgave 1

1a

Gitt funksjonen $Y = \overline{(A \cdot B + C \cdot D) + E}$. Tegn et transistorskjema (skjematikk) i komplementær CMOS for funksjonen.

1b

Gitt enkle transistor modeller for nMOS transistor, skissér strøm som funksjon av V_{gs} for ulike V_{ds} spenninger. Mårker terskelspenning, lineært område og metning på skissen.

1c

Forklar hvordan body effekt (substrat effekt) påvirker transistorstrømmer og tidsforsinkelse i en port.

1d

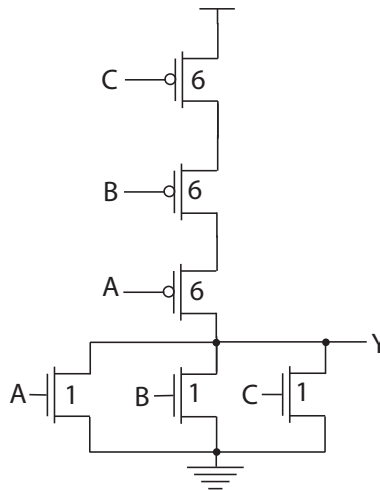
Forklar hva kanallengdemodulasjon er og forklar hvordan denne effekten kan modelleres. Hvordan påvirker kanallengdemodulasjon støymarginen for en inverter? Hva er forskjellen på kanallengdemodulasjon og hastighetsmetning?

Oppgave 2

2a

Gitt kretsen i Figur 1, der transistorenes bredde ($W_{relativ}$) er oppgitt relativt til minimumstransistorer $W = 0.4\mu m$ og $L = 0.2\mu m$ i en $0.2\mu m$ CMOS

(Fortsettes på side 2.)

Figur 1: *Komplimentær CMOS port.*

teknologi. Anta at alle transistorer har minimumslengde. Anta videre at minimums kontaktstørrelse er $0.1\mu\text{m}$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu\text{m}$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5fF/\mu\text{m}^2$ og $C_{jbsw} = 0.1fF/\mu\text{m}$. Anta videre at diffusjonsområdet strekker seg $0.2\mu\text{m}$ ut fra gaten (polysilisium).

2b

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Hvilken prosessparameter vil typisk gi en slik forskjell i motstand for nMOS- og pMOS transistorer som er like store? Anta at $R = 3k\Omega$ og bruk Elmore forsinkelses modell til å finne portens parasittisk tidsforsinkelse når alle ingangene er 0 ($A=B=C=0$).

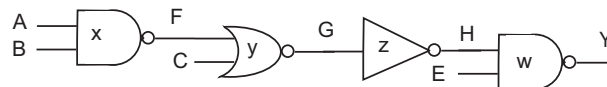
2c

Det er vanlig å uttrykke logisk effort relativt til en inverter, som kalles enhetsinverter, med lik ekvivalent motstand i opptrekk og nedtrekk. Dette vil typisk si at pMOS transistoren har bredde lik 2 ($2 \cdot W_{\text{minimum}}$) og nMOS transistoren har bredde lik 1. Hva blir den logiske efforten for porten over? Vi kan definere parasittisk tidsforsinkelse for en enhetsinverter ved $\tau = 3RC$. En forenklet modell for parasitisk tidsforsinkelse i en port får vi når vi bare ser på kapasitansen knyttet til utgangen og beregner en effektiv motstand for opptrekk eller nedtrekk. Hva blir den parasittiske tidsforsinkelsen for porten uttrykket ved τ ? Hvordan kan porten endres slik at den blir "LO-skew", og hva blir gjennomsnittlig parasittisk tidsforsinkelse for porten da?

(Fortsettes på side 3.)

2d

Anta at porten (uten skew) skal drive 3 enhetsinvertere, $W_p = 2 \cdot W_{minimum}$, $W_n = W_{minimum}$ og $L_p = L_n = L_{minimum}$. Anta at $t_{ox} = 50\text{\AA}$. Hva blir da tidsforsinkelsen for porten?

Oppgave 3**3a**

Figur 2: Kjede med porter.

Finn logisk effort for portene og kjeden i Figur 2. Anta at utgangen Y skal drive 4 enhetsinvertere. Finn elektrisk effort for portene og kjeden. Hva blir kjedens effort F ?

3b

Hva blir optimal port effort for kjeden? Finn kjedens parasittiske tidsforsinkelse og minimum kjedeforsinkelse. Anta videre at parasittisk tidsforsinkelse skal utgjøre halvparten av minimum kjedeforsinkelse. Finn en verdi for x slik at parasittisk tidsforsinkelse utgjør halvparten av minimum kjedeforsinkelse.

3c

Finn transistorstørrelser som gir minimum kjedeforsinkelse når parasittisk kjedeforsinkelse er halvparten av minimum kjedeforsinkelse.

3d

Forklar kort forskjell på statiske og dynamiske porter, og statiske og dynamiske sekvensielle kretser.

3e

Anta at en metalleder med lengde $l = 1800\mu m$ har egenmotstand $0.15\Omega/\mu m$ og egenkapasitans $0.2fF/\mu m$. Anta at lederen skal drives av en enhetsinverter, med $R = 3k\Omega \cdot \mu m$ og parasittisk kapasitans $C_p = 4.5fF/\mu m$, og buffres med invertere (repeaters). Hvor mange invertere trenger vi for å buffre? Finn størrelse på nMOS- og pMOS transistorene i bufferene.