

UNIVERSITETET I OSLO

Det matematisk-naturvitenskapelige fakultet

Eksamen i INF3400 — Digital mikroelektronikk

Eksamensdag: 11. juni 2008

Oppgavesettet er på 2 sider.

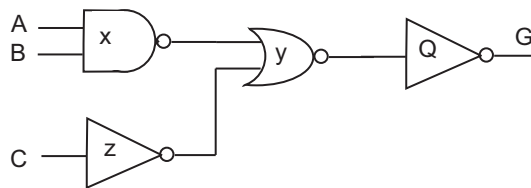
Vedlegg: Ingen

Tillatte hjelpemidler: Alle trykte og skrevne, og kalkulator

Kontroller at oppgavesettet er komplett før du begynner å besvare spørsmålene.

Oppgave 1

1a



Figur 1: Kjede med porter.

Finn logisk effort for portene og logisk effort for kritisk signalvei.

1b

Anta at utgangen skal drive 2 minimumsinvertere. Finn elektrisk effort og kjedens effort F .

1c

Hva blir optimal effort for portene? Finn transistorstørrelser for minimum kjedeforsinkelse når parasittisk tidsforsinkelse utgjør halvparten av kjedeforsinkelsen.

1d

Hvordan vil du implementere G ved hjelp av en komplementær CMOS port?

(Fortsettes på side 2.)

1e

Hva blir stige- og falltid for en komplementær CMOS implementasjon for G?

Oppgave 2

2a

Tegn transistor skjema for en komplementær CMOS port for funksjonen $Y = \overline{(A + C) \cdot (B + DE)}$.

2b

Gitt $\mu_n = 2\mu_p$. Finn transistor størrelser slik at "worst case" stige- og falltid blir like.

2c

Finn transistor størrelser slik at den minste stige- og falltid blir like.

2d

Anta at portene skal drive fire minimumsinvertere. Bruk Elmore og finn tidsforsinkelse når $C = B = 1$ og $A = D = E = 0$.

Oppgave 3

3a

Hva er latchup?

3b

Hva er støymargin? Hvordan påvirkes støymarginen av teknologiutviklingen (liten L)?

3c

Forklar forskjeller på dynamisk og statisk logikk.

3d

Forklar forskjeller på dynamisk og statisk effektforbruk.