

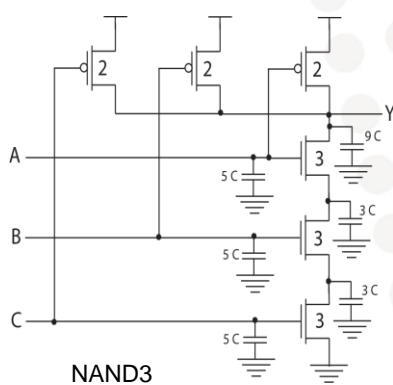


ifj

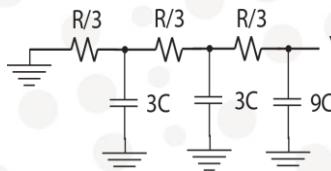
INF3400 Del 5 Statisk digital CMOS

UNIVERSITETET
I OSLO

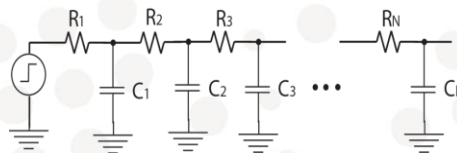
Elmore forsinkelsesmodell



RC modell:



RC modell NANDN:



$$t_{pd} = 3C\left(\frac{R}{3}\right) + 3C\left(\frac{R}{3} + \frac{R}{3}\right) + 9C\left(\frac{R}{3} + \frac{R}{3} + \frac{R}{3}\right)$$

$$= 12RC$$

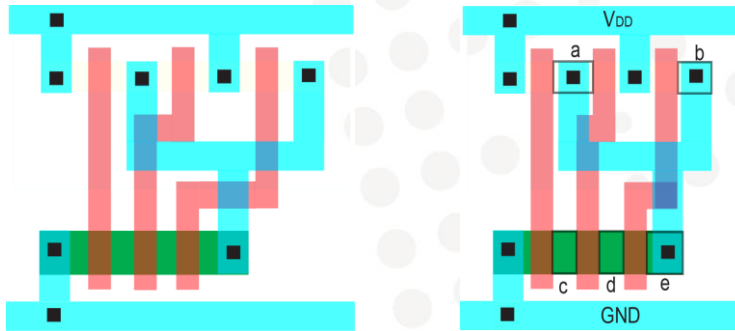
Forsinkelsesmodell:

$$t_{pd} = \sum_{i=1}^N C_i \left(\sum_{j=1}^i R_j \right)$$

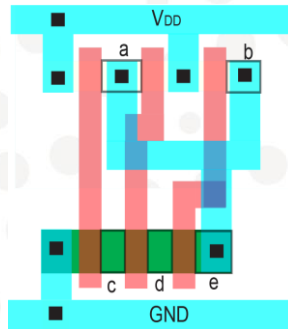
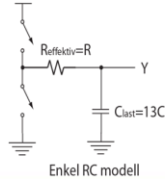
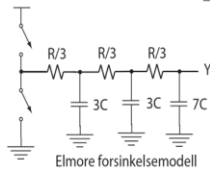
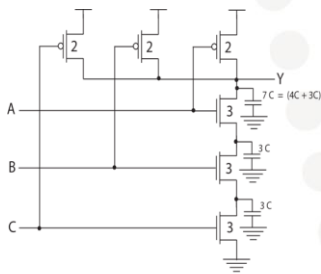
ifj

UNIVERSITETET
I OSLO

NAND3



Utlegg



$$t_{pd} = 3C\left(\frac{R}{3}\right) + 3C\left(\frac{R}{3} + \frac{R}{3}\right) + 7C\left(\frac{R}{3} + \frac{R}{3} + \frac{R}{3}\right)$$

$$= 10RC$$

$$t_{pd} = 13RC$$



Parasittisk tidsforsinkelse:

Vi kaller **diffusjonskapasitanser** for parasittiske kapasitanser som bidrar til **parasittisk tidsforsinkelse**.

Eksterne kapasitanser er definert som **gatekapasitans** for porter som skal drives.

Enkel RC modell:

Parasittisk tidsforsinkelse:

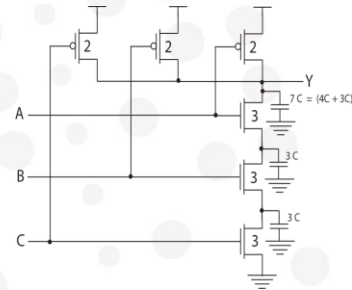
$$t_{pd} = 13RC$$

Tidsforsinkelse:

$$t_{pd} = (3 + 5h)RC$$

$$t_{pd} = 33RC$$

Eksempel NAND3 som skal drive h tilsvarende porter:



Elmore:

Parasittisk tidsforsinkelse:

$$t_{pd} = 10RC$$

Tidsforsinkelse:

$$t_{pd} = (10 + 5h)RC$$

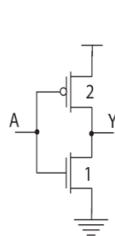
$$t_{pd} = 30RC$$



UNIVERSITETET
I OSLO

Elektrisk effort

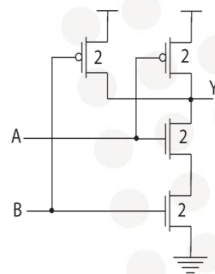
Vi kaller forholdet mellom ekstern last (kapasitans) og inngangslast for **elektrisk effort**. Dette forholdet kalles **fanout** og skrives som C_h .



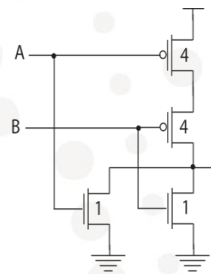
$$C_{in} = 3 \\ g = 3/3 = 1$$

Logisk effort

Vi kaller forholdet mellom en ports inngangskapitans og inngangskapitansen til en inverter som leverer samme utgangsstrøm for **logisk effort** g .



$$C_{in} = 4 \\ g = 4/3$$



$$C_{in} = 5 \\ g = 5/3$$



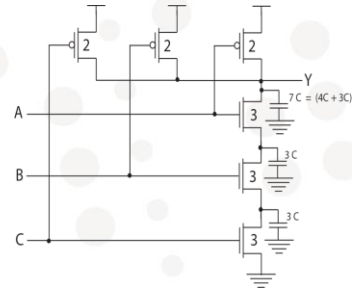
UNIVERSITETET
I OSLO

Vi definerer h som antallet identiske porter som en spesifikk port skal drive.

Effort tidsforsinkelse:

Vi lar NAND3 porten drive et antall tilsvarende porter, for eksempel $h'=5$. Dersom vi forandrer transistorbreddene i den drivende porten med en faktor k vil dette bety at parasittisk kapasitans øker med en faktor k , dvs. $h=h'/k$.

Eksempel NAND3:



ifj

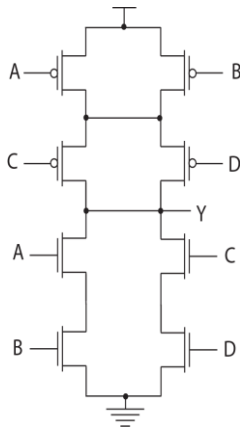


UNIVERSITETET
I OSLO

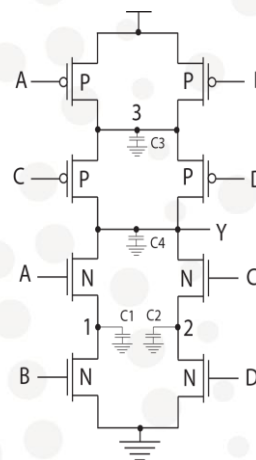
Oppgave 4.3

Logisk funksjon:

$$Y = \overline{A \cdot B + C \cdot D}$$



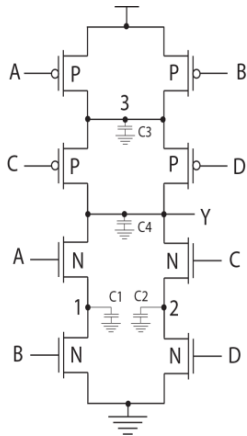
Diffusjonskapasitanser:



ifj



UNIVERSITETET
I OSLO



Diffusjonskapasitanser:

$$C_1 = 2C$$

$$C_2 = 2C$$

$$C_3 = 8C$$

$$C_4 = 6C$$

Worst case:

Opptrekk: 2 pMOS transistorer i serie.

$$A = C = 1$$

$$B = D = 0$$

Nedtrekk: 2 nMOS transistorer i serie.

$$A = C = B = 1$$

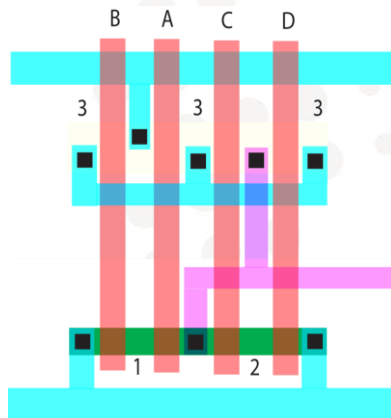
$$D = 0$$

Opptrekk:

$$\begin{aligned} t_{pd} &= \sum_{i=1}^N \left(C_i \sum_{j=1}^i R_j \right) \\ &= C_3 \cdot R + C_4 \cdot (R + R) \\ &= 8RC + 6C \cdot 2R \\ &= 20RC \end{aligned}$$

Nedtrekk:

$$\begin{aligned} t_{pd} &= \sum_{i=1}^N \left(C_i \sum_{j=1}^i R_j \right) \\ &= C_1 \cdot R + C_4 \cdot (R + R) \\ &= 2RC + 6C \cdot 2R \\ &= 14RC \end{aligned}$$



Oppgave 4.4

Finn "worst case" tidsforsinkelse for en n -inngangs NOR port ved å bruke Elmore forsinkelsesmodell.

Velger bredde på pMOS transistorer:

$$W_p = 2nW_n$$

Finner utgangslasten:

$$\begin{aligned} C_{ut} &= C + 2n\tilde{C} \\ &= 3nC \end{aligned}$$

Stigetidsforsinkelse:

$$t_{pd} = \sum_{i=1}^{n-1} \left(\frac{iR}{n} 2nC \right) + 3nRC$$

Falltidsforsinkelse:

$$t_{pd} = 3nRC$$



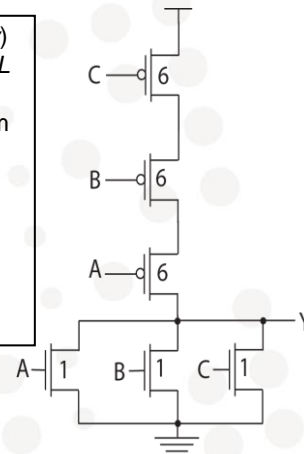
UNIVERSITETET
I OSLO

Eksamensoppgave 2005

Gitt kretsen til høyre, der transistorenes bredde ($W_{relativ}$) er oppgitt relativt til minimumstransistorer $W = 0.4\mu\text{m}$ og $L = 0.2\mu\text{m}$ i en $0.2\mu\text{m}$ CMOS teknologi. Anta at alle transistorer har minimumslengde. Anta videre at minimum kontaktstørrelse er $0.1\mu\text{m}$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu\text{m}$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen på portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5\text{fF}/\mu\text{m}^2$ og $C_{jbssw} = 0.1\text{fF}/\mu\text{m}$. Anta videre at diffusjonsområdet strekker seg $0.2\mu\text{m}$ ut fra gaten (polysilisium).

Diffusjonskapasitans for et minimums diffusjonsområde, $0.4\mu\text{m} \times 0.2\mu\text{m}$:

$$\begin{aligned} C_{diff} &= C \cdot 0.2\mu\text{m} \tilde{C}_{jbs} + CW + 0.4\mu\text{m} \tilde{C}_{jbssw} \\ &= W \cdot 0.5 \frac{\text{fF}}{\mu\text{m}} + 0.04 \text{fF} \\ &\approx W \cdot 0.5 \frac{\text{fF}}{\mu\text{m}} \end{aligned}$$



Minimum diffusjonskapasitans:

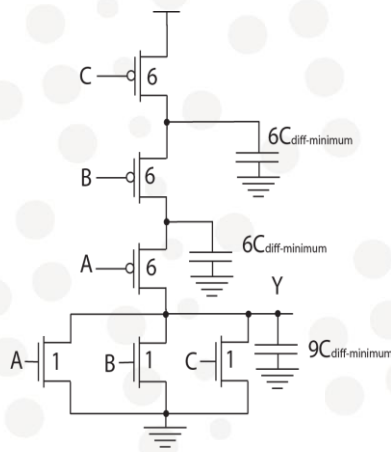
$$\begin{aligned} C_{diff-\text{minimum}} &= W \cdot 0.5 \frac{\text{fF}}{\mu\text{m}} \\ &= 0.2 \text{fF} \end{aligned}$$



UNIVERSITETET
I OSLO

Utgangsskapasitans:

$$\begin{aligned} C_{ut} &= 6C_{\text{diff-minimum}} + 3 \cdot 1 \cdot C_{\text{diff-minimum}} \\ &= 9C_{\text{diff-minimum}} \\ &= 1.8 \text{ fF} \end{aligned}$$

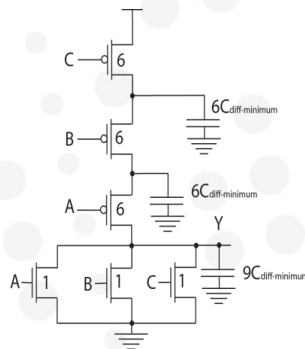


UNIVERSITETET
I OSLO

Anta at motstandsverdien for minimumstransistorer er R for nMOS transistorer og $2R$ for pMOS transistorer. Hvilken prosessparameter vil typisk gi en slik forskjell i motstand for nMOS og pMOS transistorer som er like store? Anta at $R = 3k\Omega$ og bruk Elmore forsinkelsesmodell til å finne portens (Fig. 5) parasittiske tidsforsinkelse når alle ingangene er 0 ($A=B=C=0$).

Elmore forsinkelsesmodell:

$$\begin{aligned} t_{pd} &= 6C_{\text{diff-minimum}} \frac{2R}{6} + 6C_{\text{diff-minimum}} \frac{4R}{6} + 9C_{\text{diff-minimum}} \frac{6R}{6} \\ &= 15RC_{\text{diff-minimum}} \\ &= 15 \cdot 3k\Omega \cdot 0.2 \text{ fF} \\ &= 9 \text{ ps} \end{aligned}$$

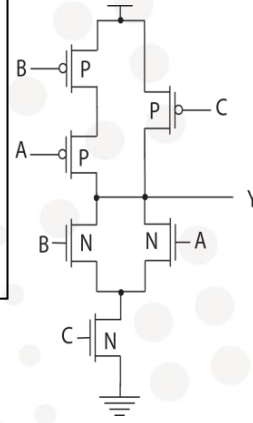


UNIVERSITETET
I OSLO

Prøveeksamen 2005

Gitt porten til høyre, der alle transistorene har minimumslengde ($0.2\mu\text{m}$) og bredden på pMOS transistorene er P ganger minimumsbredden ($0.4\mu\text{m}$) og bredden på nMOS transistorene er N ganger minimum bredde. Finn N og P slik at intrinsikk kapasitans blir minst mulig og at effektiv motstand i opptrekk og nedtrekk blir like ("worst case").

Anta videre at minimums kontaktstørrelse er $0.1\mu\text{m}$ og at minimumsoverlapp mellom metall og diffusjon (m1d), inkludert kontakt, er $0.125\mu\text{m}$. Anta at porten ikke driver andre porter, dvs. ingen ekstern last, og beregn kapasitansen ṗa portens utgang. Bruk enkle modeller og anta at $C_{jbs} = 1.5\text{fF}/\mu\text{m}^2$ og $C_{jbsw} = 0.1\text{fF}/\mu\text{m}$. Anta videre at diffusjonsområdet strekker seg $0.2\mu\text{m}$ ut fra gaten (polysilisium).



Diffusjonskapasitans for et minimums diffusjonsområde, $0.4\mu\text{m} \times 0.2\mu\text{m}$:

$$C_{diff} = \underbrace{4 \cdot 0.2\mu\text{m}}_V \underbrace{C_{jbs}}_C + \underbrace{4W + 0.4\mu\text{m}}_W \underbrace{C_{jbsw}}_C$$

$$\approx W \cdot 0.5 \frac{\text{fF}}{\mu\text{m}}$$



UNIVERSITETET
I OSLO

Velger bredde på transistorer:

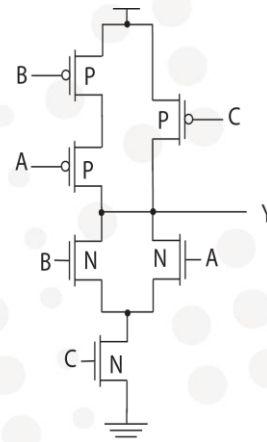
$$W_p = 2W_n$$

Utgangsskapasitans:

$$C_{ut} = 2 \cdot 2C_{diff-minimum} + 2 \cdot 1 \cdot C_{diff-minimum}$$

$$= 6C_{diff-minimum}$$

$$= 1.2\text{fF}$$



UNIVERSITETET
I OSLO

Lineær forsinkelsesmodell

Normalisert tidsforsinkelse:

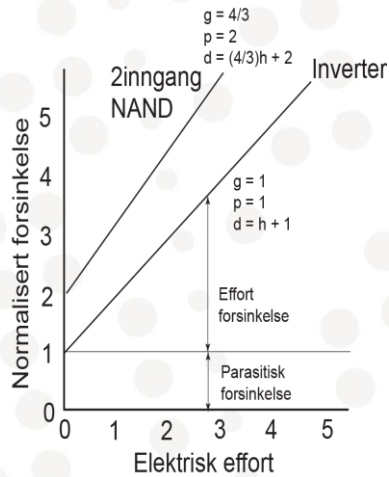
$$d = f + p$$

Effort
tidsforsinkelseParasittisk
tidsforsinkelse

$$f = gh$$

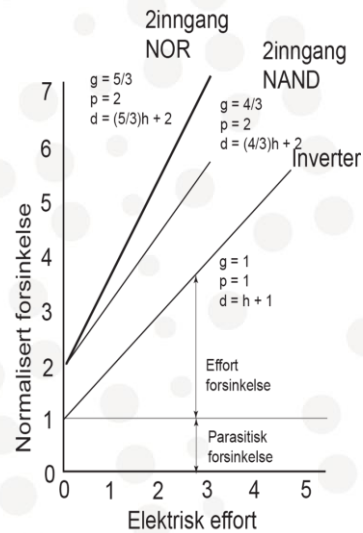
Elektrisk effort h:

$$h = \frac{C_{out}}{C_{in}}$$

UNIVERSITETET
I OSLO

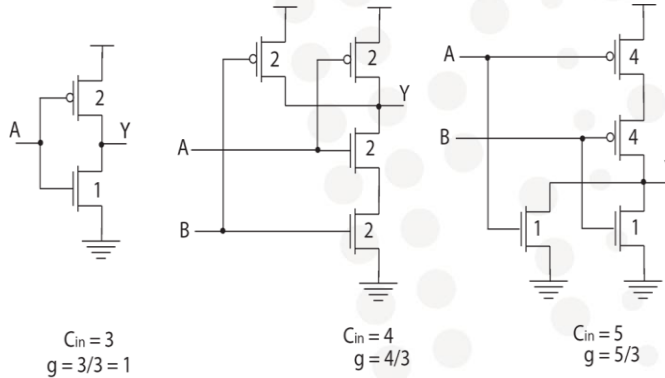
Oppgave 4.5

Lag en figur som viser tidsforsinkelse som funksjon av elektrisk effort for en 2inngangs NOR port. Hvordan blir tidsforsinkelsen sammenlignet med 2inngangs NAND port?

UNIVERSITETET
I OSLO

Logisk effort

Vi kaller forholdet mellom en ports inngangskapasitans og inngangskapasitansen til en inverter som leverer samme utgangsstrøm for **logisk effort g**.



UNIVERSITETET
I OSLO

Parasittisk tidsforsinkelse

Vi definerer **parasittisk tidsforsinkelse** som tidsforsinkelse i en port uten ekstern last.

Antall innganger

Port	1	2	3	4	n
Inverter	1				
NAND		2	3	4	n
NOR		2	3	4	n
Tristate	2	4	3	6	2n

N- inngangs NAND port:

$$\begin{aligned}
 t_{pd} &= \sum_{i=1}^n C_i \sum_{j=1}^i R_j \\
 &= \sum_{i=1}^{n-1} C_i \sum_{j=1}^i R_j + 3nC_n \frac{R}{n} \\
 &= \left(\frac{n+5}{2} \right) RC
 \end{aligned}$$

I realiteten øker parasittisk tidsforsinkelse kvadratisk med antall innganger.



UNIVERSITETET
I OSLO

Stige- og falltidforsinkelse for inngang

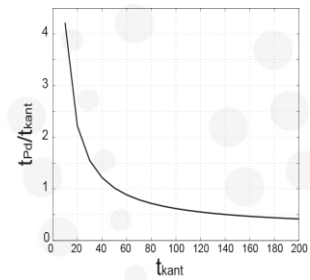
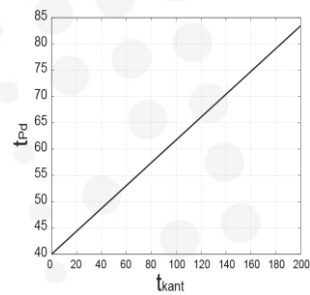
For en mer presis estimering av tidsforsinkelse må vi ta hensyn til stige- og falltidforsinkelse på innganger.

Tidsforsinkelse:

$$t_{pd} = t_{pd-step} + t_{kant} \left(\frac{1 + 2 \frac{|V_i|}{V_{DD}}}{6} \right)$$

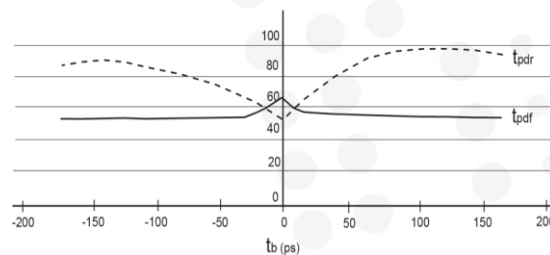
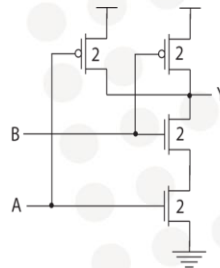
Ingen tidsforsinkelse på inngangene

Stige- eller falltidforsinkelse for innganger



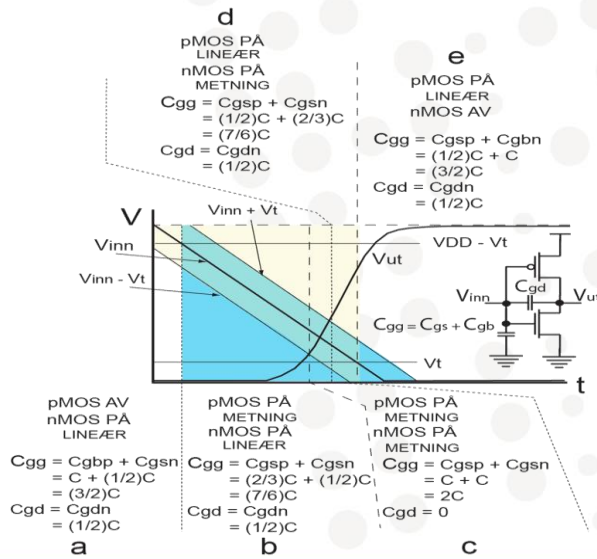
UNIVERSITETET
I OSLO

Ulik transisjonstidspunkt for innganger

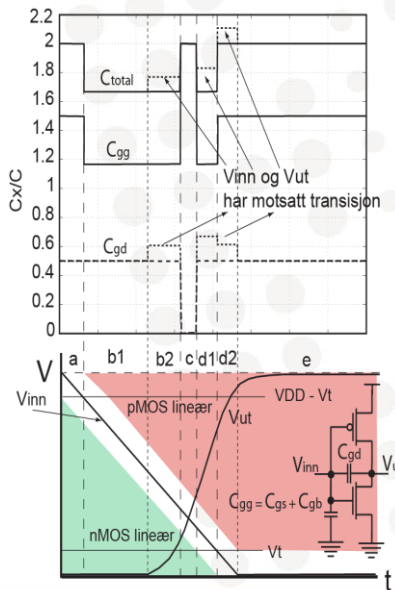


UNIVERSITETET
I OSLO

MOS kapasitanser for inverter ved transisjon

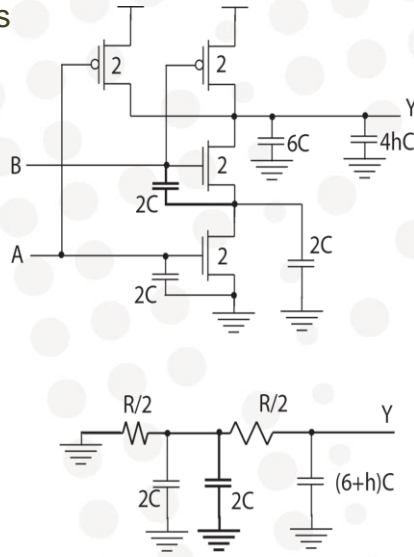


UNIVERSITETET I OSLO

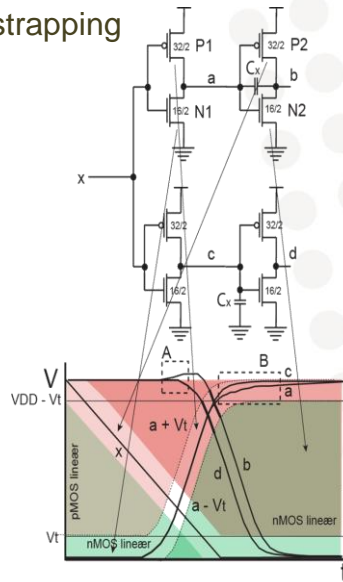


UNIVERSITETET I OSLO

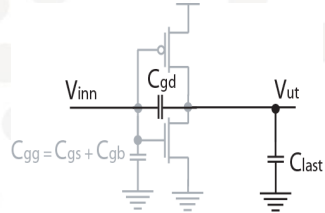
Gate source kapasitans



Bootstrapping



Spenningsendring:



$$\Delta V_{ut} = \frac{C_{gd}}{C_{last}} \Delta V_{inn}$$



Tidsforsinkelse i en logisk port

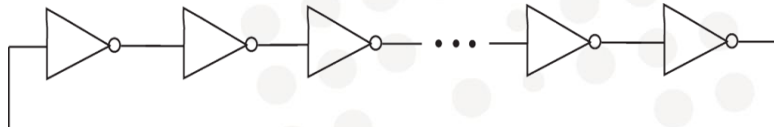
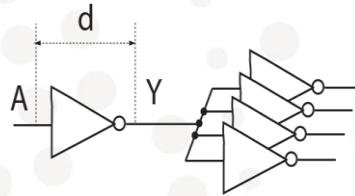
τ er enhetsforsinkelse = $3RC$

Logisk effort $g = 1$

Parasittisk tidsforsinkelse $p = 1$

Tidsforsinkelse:

$$\begin{aligned} t_{pd} &= d\tau \\ &= (f + p)\tau \\ &= (h + p)\tau \\ &= (1 \cdot h + 1)\tau \\ &= 5\tau \end{aligned}$$



Tidsforsinkelse for port:

$$\begin{aligned} t_{pd} &= (h + p)\tau \\ &= (1 \cdot 1 + 1)\tau \\ &= 2\tau \end{aligned}$$

Tidsforsinkelse i oscillator:

$$t_{oscillator} = Nt_{pd}$$

Frekvens:

$$f_{oscillator} = \frac{1}{2Nt_{pd}}$$