

Løsningsforslag DEL4

INF3400

YNGVAR BERG

I. OPPGAVER

A. Oppgave 2.4

En transistor med lengde 90nm har en tykkelse på gateoksid (t_{ox}) lik 16\AA . Hva blir gatekapasitans per mikrometer?

A.1

$$\begin{aligned} C_{permicron} &= C_{ox}L \\ &= \frac{\epsilon_{ox}}{t_{ox}}L \\ &= \frac{3.9 \cdot 8.85 \cdot 10^{-14}}{16 \cdot 10^{-8}} \frac{F}{cm} (90 \cdot 10^{-7} cm) \\ &= 1.94 \frac{fF}{\mu m} \end{aligned}$$

B. Oppgave 2.5

Beregn diffusjonskapasitans C_{db} for en transistor med en (minimum) kontakt på drain i en 0.6μ prosess når drainspenningen er $0V$ og $V_{DD} = 5V$. Anta at substratet er jordet. Parameterverdier er $C_J = 0.42fF/\mu m^2$, $M_J = 0.44$, $C_{JSW} = 0.33fF/\mu m$, $M_{JSW} = 0.12$ og $\Psi_0 = 0.98V$ ved romtemperatur.

B.1

Vi kan anta at en minimum diffusjonskontakt er på $1.2 \times 1.5\mu m$ som gir et areal på $1.8\mu m^2$ og omkrets $5.4\mu m$. Dette gir kapasitans for source bulk spenning lik $0V$:

$$\begin{aligned} C_{db}(0V) &= AD \cdot C_{jbs} + PD \cdot C_{jbsw} \\ &= (1.8\mu m^2) \left(0.42 \frac{fF}{\mu m^2} \right) + (5.4\mu m) \left(0.33 \frac{fF}{\mu m} \right) \\ &= 2.54fF. \end{aligned}$$

Dersom drain spenningen økes til $5V$ får vi en endring i diffusjonskapasitansen:

$$\begin{aligned} C_{db}(5V) &= AD \cdot C_{jbs} + PD \cdot C_{jbsw} \\ &= (1.8) \left(1 + \frac{V_{db}}{\Psi_0} \right)^{-M_J} + (5.4) \left(1 + \frac{V_{db}}{\Psi_0} \right)^{-M_{JSW}} \\ &= (1.8) \left(1 + \frac{5}{0.98} \right)^{-0.44} + (5.4) \left(1 + \frac{5}{0.98} \right)^{-0.12} \\ &= 1.78fF. \end{aligned}$$

C. Oppgave

Tegn transistorsjematikk for en toinngangs NOR port med transistor bredder slik at effektiv motstand i nedtrekket blir lik en enhetsinverter. Beregn stige og fall forsinkelse når porten skal drive h identiske NOR porter ved å bruke enkle RC modeller.

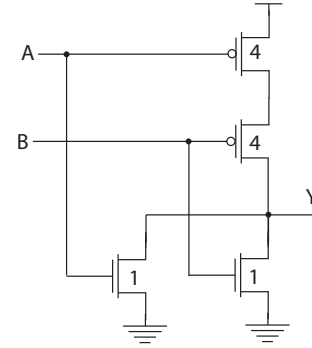


Fig. 1. 2inngangs NOR port.

C.1

Vi kan starte med nedtrekket der vi anta at en av de to parallelle nMOS transistorene er PÅ slik at effektiv motstand blir lik R . Vi har dimensjonert pMOS transistorene slik at den effektive motstanden gjennom to seriekoblede transistorer blir lik R , der vi antar at $\beta_n = 2\beta_p$ (som vist i Fig. 1:

$$\begin{aligned} R_{opptrekk} &= \frac{2R}{4} + \frac{2R}{4} \\ &= R. \end{aligned}$$

Vi kan finne parasittisk tidsforsinkelse ved å se bort fra eksternt last. Intern kapasitans vil bestå av diffusjonskapasitans knyttet til utgangen og til noden mellom de to pMOS transistorene. Parasittisk kapasitans blir:

$$\begin{aligned} C_{parasitic} &= 2C + 4C + 4C \\ &= 10C. \end{aligned}$$

Parasittisk tidsforsinkelse blir da:

$$\begin{aligned} t_{parasitic} &= 10RC \\ &= \frac{10}{3}\tau. \end{aligned}$$

En tilsvarende port som last vil tilsvare en eksternt lastkapasitans på $4C + 1C = 5C$. Dersom NOR porten skal drive h tilsvarende NOR porter får vi en total tidsforsinkelse lik:

$$\begin{aligned} t_{pd} &= (10C + h \cdot 5C) R \\ &= (2 + h) 5RC \\ &= (2 + h) \frac{5}{3}\tau. \end{aligned}$$

I dette tilfellet får vi lik stige- og falltidsforsinkelse.

REFERENCES

- [1] Neil H.E. Harris og David M. Harris "Integrated Circuit Design" fjerde utgave 2010, ISBN 10: 0-321-69694-8, ISBN 13: 978-0-321-69694-6, Pearson.